

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 5 月 2 日 (02.05.2002)

PCT

(10) 国際公開番号  
WO 02/35507 A1

(51) 国際特許分類<sup>7</sup>: G09F 9/00, 9/30, G02F 1/133, 1/1368

(21) 国際出願番号: PCT/JP01/09489

(22) 国際出願日: 2001 年 10 月 29 日 (29.10.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2000-328716  
2000 年 10 月 27 日 (27.10.2000) JP  
特願 2000-384840  
2000 年 12 月 19 日 (19.12.2000) JP

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 南野 裕  
(NANNO, Yutaka) [JP/JP]; 〒665-0024 兵庫県宝塚  
市逆瀬台 1-7-1-714 Hyogo (JP). 千田耕司 (SENDA,  
Kouji) [JP/JP]; 〒617-0845 京都府長岡京市下海印  
寺川向井 12-13 Kyoto (JP). 竹橋信逸 (TAKEHASHI,  
Shin-itsu) [JP/JP]; 〒574-0006 大阪府大東市中楠の里  
町 10-22-916 Osaka (JP).

(74) 代理人: 大前 要 (OHMAE, Kaname); 〒540-0037 大  
阪府大阪市中央区内平野町 2-3-14 ライオンズビル大  
手前 3 階 Osaka (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(71) 出願人 (米国を除く全ての指定国について): 松下電  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-  
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市  
大字門真 1006 番地 Osaka (JP).

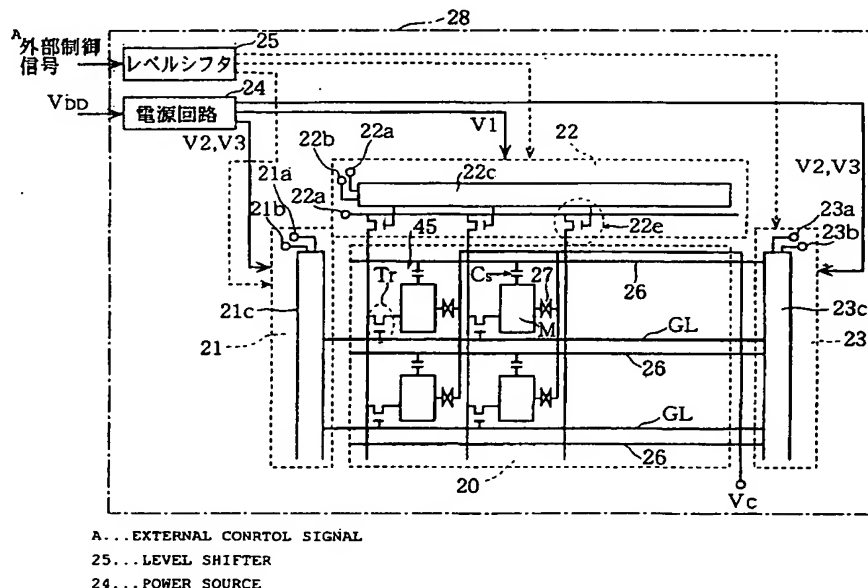
添付公開書類:

— 国際調査報告書  
— 請求の範囲の補正の期限前の公開であり、補正書受  
領の際には再公開される。

[続葉有]

(54) Title: DISPLAY

(54) 発明の名称: 表示装置



A...EXTERNAL CONTROL SIGNAL  
25...LEVEL SHIFTER  
24...POWER SOURCE

(57) Abstract: A liquid display comprises a liquid crystal section wherein unit pixels having pixel switching elements and pixel electrodes are arranged in a matrix form, a scanning side drive circuit, a signal side drive circuit, and a power source circuit. The pixel switching element is a thin-film transistor constituted of a polycrystalline silicon semiconductor formed on an insulating substrate. The power source circuit is a charge-pump system power source circuit, which is a built-in circuit constituted of a polycrystalline silicon semiconductor and formed integrally on the insulating substrate. This constitution provides a liquid crystal display which enables a marked reduction in power consumption.

[続葉有]



WO 02/35507 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

液晶表示装置は、画素スイッチング素子と画素電極とを有する単位画素がマトリクス状に配列された液晶表示部と、走査側駆動回路と、信号側駆動回路と、電源回路と、を備える。画素スイッチング素子は、絶縁性基板上に形成された多結晶シリコン半導体で構成される薄膜トランジスタである。電源回路は、チャージポンプ方式の電源回路であり、更に、この電源回路は、多結晶シリコン半導体で構成され、絶縁性基板上に一体的に形成された内蔵回路である。このような構成により、消費電力を大幅に削減できるようにした液晶表示装置が構成される。

## 明 細 書

## 表 示 装 置

5

## 技 術 分 野

本発明は、携帯電話機の表示部等に好適に実施することができる表示装置に関する。

## 背 景 技 術

10 液晶表示装置は、薄型・軽量で低消費電力であるという特徴を有

している。そのため、近年、ラップトップパソコンやノートパソコン用の液晶ディスプレイ、更に携帯電話機等の携帯情報端末の情報表示部に広く使用されている。

このような従来液晶表示装置は、外部の電源回路から液晶表示  
15 パネル内の駆動回路に必要な電源電圧を供給するように構成されていた。具体的に説明すると、従来電源回路は、図21示すように、基準電圧をトランスを含む昇圧回路140により高電圧とし、この高電圧を直列接続された複数の抵抗（分圧抵抗）を備える分圧回路  
141により分圧し、各分圧点からそれぞれボルテージホロワー1  
20 42を介して液晶表示素子を駆動するための複数の駆動電圧 $V_1 \sim V_3$ （例えば $V_3 = 1.5$ 、 $V_2 = 5$ 、 $V = -3$ ）を生成している。

従って、このような従来例では、以下の問題があった。

①トランスを含む昇圧回路の変換効率が悪いために、この部分での消費電力が増加するという問題があった。

25 ②また、昇圧した高電圧を直列接続された複数の分圧抵抗により分圧して希望する複数の駆動電圧を得るため、分圧抵抗での無駄な

電力消費を本質的に伴うものであった。

③また、電源回路が外部回路であるため、液晶表示パネルの駆動回路との接続での信頼性が劣っていた。

5

## 発 明 の 開 示

本発明の目的は、上記課題を解決し、電源回路と駆動回路との接続の信頼性を向上するとともに、消費電力を格段に低減するようにした表示装置を提供することである

上記課題を解決するため、本発明のうち請求項1記載の発明は、

10 画素スイッチング素子と画素電極とを有する単位画素がマトリクス

状に配列された表示部と、走査線に走査信号を供給する走査側駆動回路と、信号線に画像信号を供給する信号側駆動回路と、基準電源電圧を入力し、基準電源電圧から前記走査側駆動回路および前記信号側駆動回路の駆動用電源電圧を生成し、この駆動用電源電圧を前

15 記走査側駆動回路および前記信号側駆動回路に供給する電源回路と、を備え、前記画素スイッチング素子は、絶縁性基板上に形成された多結晶シリコン半導体で構成される薄膜トランジスタであり、前記電源回路は、チャージポンプ方式の電源回路であり、更に、この電源回路は、多結晶シリコン半導体で構成され、前記絶縁性基板上に  
20 一体的に形成された内蔵回路であることを特徴とする。

上記の如くチャージポンプ方式の電源回路を用いることにより、従来例のような分圧回路が不要となり、分圧回路等での電力ロスを低減できるとともに、電圧変換効率の優れた電源回路を備えた低消費電力の液晶表示装置を実現することが可能となる。

25 また、電源回路を、絶縁性基板上に一体的に形成することにより、外付けの電源回路において生じる接続不良がなくなり、信頼性が向

上する。また、製造コストの低減を図ることができる。

請求項 2 記載の発明は、請求項 1 記載の表示装置であって、前記表示部が液晶表示部であることを特徴とする。

請求項 3 記載の発明は、請求項 1 記載の表示装置であって、前記  
5 表示部は、EL 素子の発光により表示を行う EL 表示部であり、この EL 表示部の単位画素は、前記画素スイッチング素子および前記画素電極に加えて、EL 素子への電流量を制御する電流制御素子を有し、この電流制御素子は、前記絶縁性基板上に形成された多結晶シリコン半導体で構成される薄膜トランジスタであることを特徴とする。

---

請求項 4 記載の発明は、請求項 2 記載の表示装置であって、前記各単位画素は、一方の電極が前記画素電極に接続される電圧制御容量と、この電圧制御容量の他方の電極に接続され補償電圧信号を供給する電圧制御容量配線とを有し、前記電圧制御容量配線は、それ  
15 それ前記画素への書き込み終了後に前記補償電圧信号の電位を変化させて画素電極の電位を変調させる補償電圧印加用駆動回路に接続され、前記電源回路は、前記走査側駆動回路および前記信号側駆動回路の駆動用電源電圧に加えて、前記補償電圧印加用駆動回路に供給する駆動用電源電圧をも生成することを特徴とする。

20 上記構成により、デジタル画像信号に基づいて、独立容量結合駆動方式で表示を行う液晶表示装置が実現される。そして、駆動方式として、独立容量結合駆動方式を用いることにより、消費電力の低減を図ることが可能となる。

請求項 5 記載の発明は、請求項 4 記載の表示装置であって、前記  
25 電圧制御容量の容量値を  $C_s$  とすると、 $C_s$  が以下の第 1 式を満たすことを特徴とする。

$$C_s = (V_{bias} / V_{epp}) \cdot C_{tot} \quad \dots (1)$$

但し、 $V_{bias}$  は補償電圧の変化による画素電圧の変化、 $V_{epp}$  は補償電圧信号の電圧振幅、 $C_{tot}$  は電圧制御容量と寄生容量と液晶容量の総和である。

- 5      上記第 1 式を満たすように、 $C_s$  を設定すれば、最小の電圧振幅で液晶を最適に駆動することが可能となる。従って、消費電力を一層低減することが可能となる。

請求項 6 記載の発明は、請求項 5 記載の表示装置であって、前記補償電圧信号の電圧振幅  $V_{epp}$  が、前記電源回路に入力された基準

~~1.0 電源電圧の  $n$  倍 ( $n$  は自然数とする) で表され、このとき  $n$  は、 $1 \leq$~~   
 $n \leq 4$  の範囲に設定されていることを特徴とする。

上記構成により、リーク電流の増大を抑え、且つ高開口率の液晶表示装置を実現できる。

- 請求項 7 記載の発明は、請求項 6 記載の表示装置であって、前記  
15      走査信号の電圧振幅は前記基準電源電圧の  $m$  倍 ( $m$  は自然数とする) とされ、このときの  $m$  は、走査信号の電圧振幅が、前記単位画素に画像信号を書き込むことが可能な電圧範囲内で最小の電圧値になるような値に設定されていることを特徴とする。

- 上記構成により、画素スイッチング素子を ON させ、画像信号を  
20      書き込むことができ、しかも、走査信号を最小電圧振幅に設定することができる。これにより、液晶を十分に駆動でき、且つ消費電力の低減が図れることになる。

- 請求項 8 記載の発明は、単位画素がマトリクス状に配列された表示部と、走査線に走査信号を供給する走査側駆動回路と、信号線に  
25      デジタル画像信号を供給する信号側駆動回路と、基準電源電圧を入力し、基準電源電圧から前記走査側駆動回路および前記信号側駆動

回路の駆動用電源電圧を生成し、この駆動用電源電圧を前記走査側駆動回路および前記信号側駆動回路に供給する電源回路と、を備え、前記単位画素は複数の副画素に分割され、各副画素は、それぞれ個別に、副画素電極と、絶縁性基板上に形成された多結晶シリコン半5 導体で構成される薄膜トランジスタからなる副画素スイッチング素子とを有し、前記電源回路は、チャージポンプ方式の電源回路であり、更に、この電源回路は、多結晶シリコン半導体で構成され、前記絶縁性基板上に一体的に形成された内蔵回路であることを特徴とする。

10 上記構成によって、デジタル画像信号に基づいて階調表示を行う表示装置が実現される。

請求項 9 記載の発明は、請求項 8 記載の表示装置であって、前記表示部が液晶表示部であることを特徴とする。

請求項 10 記載の発明は、請求項 8 記載の表示装置であって、前15 記表示部は、EL素子の発光により表示を行うEL表示部であり、このEL表示部の副画素は、前記副画素スイッチング素子および前記副画素電極に加えて、EL素子への電流量を制御する電流制御素子を有し、この電流制御素子は、前記絶縁性基板上に形成された多結晶シリコン半導体で構成される薄膜トランジスタであることを特20 徴とする。

請求項 11 記載の発明は、請求項 8 記載の表示装置であって、前記単位画素内における副画素電極の面積が、それぞれ前記デジタル画像信号の重み付けに対応した大きさに形成されていることを特徴とする。

25 上記構成により、表示品位の向上した階調表示が可能となる。

請求項 12 記載の発明は、請求項 8 記載の表示装置であって、前

記走査線が副画素毎に配線され、前記信号線が副画素全てに共通に配線された配線構造を有することを特徴とする。

副画素の配線構造としては、信号線を副画素毎に配線し、かつ、走査線を副画素全てに共通に配線する配線構造も考えられる。しかし、このような配線構造を、フルカラー表示の表示装置における R、G、B の副画素の配線構造に適用した場合に、配線の接続本数が増大し、接続ピン数の飛躍的な増大に起因した接続不良の増大、更には表示欠陥等の画質の低下の発生を招くおそれがある。この点に関して、本発明の配線構造であれば、フルカラー表示の表示装置における R、G、B の副画素に適用しても、配線の接続本数がそれ程増大しないため、上記問題を解消することが可能となる。

請求項 13 記載の発明は、請求項 9 記載の表示装置であって、前記各副画素は、一方の電極が前記副画素電極に接続される電圧制御容量と、この電圧制御容量の他方の電極に接続され補償電圧信号を供給する電圧制御容量配線とを有し、前記電圧制御容量配線は、前記副画素への書き込み終了後に前記補償電圧信号の電位を変化させて副画素電極の電位を変調させる補償電圧印加用駆動回路に接続され、前記電源回路は、前記走査側駆動回路および前記信号側駆動回路の駆動用電源電圧に加えて、前記補償電圧印加用駆動回路に供給する駆動用電源電圧をも生成することを特徴とする。

上記構成により、デジタル画像信号に基づいて、独立容量結合駆動方式で階調表示を行う液晶表示装置が実現される。そして、駆動方式として、独立容量結合駆動方式を用いることにより、消費電力の低減を図ることが可能となる。

請求項 14 記載の発明は、請求項 13 記載の表示装置であって、前記単位画素内における副画素電極の面積が、それぞれ前記デジタ



ル画像信号の重み付けに対応した大きさに形成されていることを特徴とする。

上記構成により、表示品位の向上した階調表示が可能となる。

- 請求項 1 5 記載の発明は、請求項 1 3 記載の表示装置であって、
- 5 前記単位画素内における副画素スイッチング素子は、それぞれ ON 電流の能力が前記デジタル画像信号の重み付けに対応した大きさとされていることを特徴とする。

上記構成により、画素トランジスタは、副画素の電極の大きさに対応した ON 電流能力が得られることになり、画像信号を十分な書

10 き込むことが可能となる。なお、画素トランジスタの ON 電流能力

の設定は、チャネル幅を変化させてもよく、またチャネル長を変化させてもよく、また、チャネル幅とチャネル長の両者を変化させるようにしてもよい。

- 請求項 1 6 記載の発明は、請求項 1 3 記載の表示装置であって、
- 15 前記単位画素内における各電圧制御容量は、それぞれ容量値が前記デジタル画像信号の重み付けに対応した大きさとなるように形成されていることを特徴とする。

上記構成により、各副画素の電極電位の変動を可及的に低減することができ、表示品位の向上を図ることができる。

- 20 請求項 1 7 記載の発明は、請求項 1 3 記載の表示装置であって、前記走査線のうちの前段走査線と前記画素電極との間に、蓄積容量が形成されていることを特徴とする。

- 上記構成により、複数の副画素それぞれににおいて、必要な負荷容量が得られることになる。そのため、各副画素の保持特性が向上
- 25 し、画質の低下を防止できる。

請求項 1 8 記載の発明は、請求項 1 記載の表示装置であって、前

記走査側駆動回路および前記信号側駆動回路は、多結晶シリコン半導体で構成され、前記絶縁性基板上に一体的に形成された内蔵回路であることを特徴とする。

- 5 消費電力を大幅に削減することができ、また、表示装置全体の軽量・薄型化を図ることができる。

請求項 19 記載の発明は、請求項 1 記載の表示装置であって、前記信号側駆動回路は単結晶シリコン半導体で形成され、前記走査側駆動回路は多結晶シリコン半導体で形成され、前記絶縁性基板上に

---

10 一体的に形成された内蔵回路であることを特徴とする。

上記構成により、信号側駆動回路を多結晶シリコン半導体で形成された内蔵回路とするよりも、トランジスタの膜圧が大きくなって容量を小さくでき、信号側駆動回路での消費電力を低減することができる。

- 15 請求項 20 記載の発明は、請求項 4 記載の表示装置であって、前記走査側駆動回路、前記信号側駆動回路および補償電圧印加用駆動回路は、多結晶シリコン半導体で構成され、前記絶縁性基板上に一体的に形成された内蔵回路であることを特徴とする。

- 20 消費電力を大幅に削減することができ、また、表示装置全体の軽量・薄型化を図ることができる。

- 請求項 21 記載の発明は、請求項 1 記載の表示装置であって、前記走査側駆動回路および前記信号側駆動回路に制御信号を供給するレベルシフト回路を有し、このレベルシフト回路は、多結晶シリコ
- 25 ン半導体で形成され、前記絶縁性基板上に一体的に形成された内蔵回路であることを特徴とする。

上記構成により、更に、表示装置全体の軽量・薄型化を図ることができる。

#### 図面の簡単な説明

5 図 1 は本発明に係る液晶表示装置を備えた携帯電話機 1 の電氣的構成を示すブロック図である。

図 2 は実施の形態 1 に係る液晶表示装置の全体構成図である。

図 3 は実施の形態 1 に係る液晶表示装置の駆動波形図である。

図 4 はチャージポンプ方式の電源回路の具体的な回路図である。

10 図 5 は電源回路のチャージポンプ動作原理を説明するための図である。

図 6 は  $V_{bias}$  の範囲を示すグラフである。

図 7 は  $V_{bias}$  が右側にシフトした状態を示すグラフである。

図 8 は走査信号の電圧振幅  $V_{gpp}$  の範囲を示す図である。

15 図 9 は実施の形態 2 に係る液晶表示装置の全体構成図である。

図 10 は実施の形態 2 に係る液晶表示装置の単位画素の構成を示す回路図である。

図 11 は実施の形態 2 に係る液晶表示装置の信号側駆動回路の具体的な構成を示すブロック回路図である。

20 図 12 は実施の形態 2 に係る液晶表示装置における画像データのデータ列を示す図である。

図 13 は実施の形態 2 に係る液晶表示装置の副画素の配置状態を模式的に示す図であり、

図 14 は実施の形態 2 に係る液晶表示装置における画素電極電位  
25 の変位のタイミングチャートである。

図 15 は実施の形態 3 に係る液晶表示装置における単位画素の構

成を示す図である。

図 1 6 は実施の形態 3 に係る液晶表示装置における 1 つの副画素の等価回路図である。

図 1 7 は実施の形態 3 と従来例におけるそれぞれの容量構成図であり、図 1 7 ( a )、( b ) は従来例の容量構成図であり、図 1 7 ( c ) は本発明の容量構成図である。

図 1 8 は実施の形態 3 に係る液晶表示装置の駆動波形図である。

図 1 9 は実施の形態 4 に係る液晶表示装置の一部構成を示すブロック図である。

10 図 2 0 は実施の形態 5 に係る液晶表示装置の構成図である。

図 2 1 は従来例の電源回路の構成を示す回路図である。

#### 発明を実施するための最良の形態

##### (実施の形態 1)

15 図 1 は本発明に係る液晶表示装置を備えた携帯電話機 1 の電氣的構成を示すブロック図である。図 1 において、2 は電話機能プログラムを実行することにより、携帯電話機各部の動作を制御する CPU (中央処理装置) である。3 は通信部であり、この通信部 3 はアンテナ 4 に接続され、送信信号の変調および受信信号の復調機能を  
20 有する。5 はランダムアクセスメモリ (RAM) であり、この RAM は、例えばユーザ設定データなどの記憶用メモリである。6 はリードオンリメモリ (ROM) であり、この ROM 6 には CPU 2 が実行する送信や受信の各種電話機能プログラムなどが予め格納されている。7 は音声処理部であり、この音声処理部 7 は通信部 3 で復  
25 調された受信信号を復号し、スピーカ 8 を介して音声出力させ、一方、マイク 9 から入力された送話用の音声信号を圧縮符号化し、C

P U 2 の制御下で、通信部 3 を通じて送信可能にしている。1 0 はテンキーやファンクションキー等を備えた操作部である。1 1 は液晶表示装置であり、この液晶表示装置 1 1 では電話機能のメニューや、テンキーやファンクションキーなどの操作に応じた表示がなされる。

- 5      1 2 はバッテリーであり、このバッテリー 1 2 からの直流電源は電源回路 1 3 に与えられ、携帯電話機各部（液晶表示装置 1 2 を除く）に必要な駆動電圧を生成して、携帯電話機各部に供給している。

なお、液晶表示装置 1 2 は、後述するように、バッテリー 1 2 が直接接続されており、液晶表示装置 1 2 内の電源回路により液晶表示  
10 ~~装置 1 2 内の駆動回路に必要な駆動電圧を生成して供給するように~~  
構成されている。

図 2 は液晶表示装置 1 2 の回路図である。この液晶表示装置 1 2 は、容量結合駆動方式を採用したアクティブマトリクス型液晶表示装置である。液晶表示装置 1 2 は、液晶表示部 2 0 と、走査線 S L  
15 に走査信号を供給する走査側駆動回路 2 1 と、信号線 G L に画像信号を供給する信号側駆動回路 2 2 と、補償電圧印加用信号配線 2 6 に補償電圧を供給する補償電圧印加用駆動回路 2 3 と、各駆動回路 2 1 , 2 2 , 2 3 に駆動用電源電圧を供給する電源回路 2 4 と、外部から供給される低振幅の制御信号を各駆動回路 2 1 , 2 2 , 2 3  
20 で使用可能な高振幅の制御信号に変換して各駆動回路 2 1 , 2 2 , 2 3 に供給するレベルシフタ 2 5 回路とを有する。液晶表示部 2 0 は、マトリクス状に配置された複数の走査線 G L と複数の信号線 S と、マトリクス状に配置された単位画素 4 5 を有する。単位画素 4 5 は、画素電極 M と、画素電極 M に接続された画素スイッチング素  
25 子 T r と、容量結合駆動を行うための電圧制御容量 C s とを有する。電圧制御容量 C s の一方の電極は、画素電極 M に接続され、他方の

電極は補償電圧印加用信号配線 26 に接続されている。前記画素スイッチング素子  $T_r$  は、多結晶シリコン半導体で構成された薄膜トランジスタ (TFT) である。

走査側駆動回路 21 において、21a は転送クロック入力端子、  
5 21b はスタートパルス入力端子、21c はシフトレジスタである。  
また、補償電圧印加用駆動回路 23 において、23a は転送クロック入力端子、23b はスタートパルス入力端子、23c はシフトレジスタである。また、信号側駆動回路 22 において、22a は転送クロック入力端子、22b はスタートパルス入力端子、22c はシ  
10 フトレジスタ、22d は画像信号入力端子、22e はトランスファ  
ーゲート素子である。

また、 $V_c$  は対向基板上に形成された対向電極電位、28 はガラスから成るアクティブ基板、27 はアクティブ基板 28 と対向基板との間に保持された液晶層である。

15 なお、本実施の形態 1 では、電源回路 24、走査側駆動回路 21、補償電圧印加用駆動回路 23、信号側駆動回路 22 およびレベルシフタ回路 25 は、いずれも多結晶シリコン半導体で構成されており、前記画素スイッチング素子  $T_r$  の製造プロセス時に同時にアクティブ基板 28 に一体的に作り込まれた内蔵回路である。

20 図 3 にこの液晶表示装置の駆動方法における駆動波形図を示す。  
図 3 において、 $V_{g1}$ 、 $V_{g2}$  は第 1 および第 2 の走査信号、 $V_s$  は画像信号、 $V_d$  は画素電極電位、 $V_c$  は対向電極電位である。走査信号  $V_{g1}$  はスイッチング素子 4 をオンにする電位 ( $V_{gt}$ ) とオフにする電位 ( $V_{gb}$ ) からなる。また、補償電圧信号  $V_{g2}$  は  
25 2 値のバイアス電位 ( $V_{e(+)}$ 、 $V_{e(-)}$ ) からなる。この容量結合駆動方法では、対向電極は一定とされ、ソース電極にオフセッ

トを加えることにより、突き抜け電圧による電位  $\Delta V$  を補償している。また、容量結合駆動方法を用いることにより、画像信号電圧を低くすることができ、信号側駆動回路 22 での消費電力を低減することができる。

5      液晶表示部 20 の画素スイッチング素子  $T_r$  は、走査側駆動回路 21 から走査線  $GL$  に印加される走査信号  $V_{gt}$  がオン電位 ( $V_{gt}$ ) である期間だけオン状態となる。このとき信号側駆動回路 22 から信号線  $SL$  に伝達された画像信号  $V_s$  が、オン状態のスイッチング素子  $T_r$  を介して画素電極  $M$  に印加される。走査信号  $V_{gt}$  が  
10   オフ電位 ( $V_{gb}$ ) に変化してスイッチング素子  $T_r$  がオフ状態になると、画素電極電位  $V_d$  は液晶容量および電圧制御容量  $C_s$  によって保持されるが、電圧制御容量  $C_s$  および補償電圧印加用信号配線 26 を介して補償電圧印加用駆動回路 23 から与えられる補償電圧信号  $V_{g2}$  の電位に応じてシフトする。一画面の描画が終わり次の  
15   フレームになると、画像信号  $V_s$  はその中心電位  $V_{sc}$  に対して極性が反転し、同様の動作が繰り返される。このようにして、容量結合駆動方式による表示が行われる。

ここで、注目すべきは、本実施の形態における各駆動回路 21, 22, 23 は、その駆動電圧が基準電源電圧  $V_{DD}$  の整数倍とされていることである。即ち、電源回路 24 は、チャージポンプ方式の電源回路で構成され、基準電源電圧  $V_{DD}$  に基づいて  $V_{DD}$  の整数倍の駆動用電源電圧に変換して各駆動回路 21, 22, 23 に駆動用電源電圧を供給するように構成されている。

図 4 はチャージポンプ方式の電源回路 24 の具体的な回路図であり、図 5 は電源回路のチャージポンプ動作原理を説明するための図  
25   である。本実施の形態 1 では、電源回路 24 は、基準電源電圧  $V_{DD}$

から 3 種類の駆動電圧  $V_1$  ,  $V_2$  ,  $V_3$  を生成している。この電源回路 24 は、図 4 に示すように、3 つのチャージポンプ回路  $CP_1$  ,  $CP_2$  ,  $CP_3$  を有している。チャージポンプ回路  $CP_1$  は基準電圧  $V_{in}$  を 2 倍昇圧する回路であり、チャージポンプ回路  $CP_2$  は基準電圧  $V_{in}$  を 6 倍昇圧する回路であり、チャージポンプ回路  $CP_3$  は基準電圧  $V_{in}$  を -2 倍昇圧する回路である。そして、チャージポンプ回路  $CP_1$  により 2 倍昇圧された駆動電圧  $V_1$  は、信号側駆動回路 22 に供給される。チャージポンプ回路  $CP_2$  により 6 倍昇圧された駆動電圧  $V_2$  は、走査側駆動回路 21 および補償電圧印加用駆動回路 23 に供給される。また、チャージポンプ回路  $CP_3$  により -2 倍昇圧された駆動電圧  $V_3$  は、走査側駆動回路 21 および補償電圧印加用駆動回路 23 に供給される。

ここで、図 5 を参照して、チャージポンプ回路の昇圧原理について簡単に説明する。なお、3 倍昇圧を例に挙げて説明する。先ず、スイッチ  $SW_1$  ,  $SW_3$  が ON で、スイッチ  $SW_2$  が OFF されると、基準電圧  $V_{in}$  がコンデンサ  $C_1$  に印加され、コンデンサ  $C_1$  はその端子間電圧が  $V_{DD}$  になるまで充電される。次いで、スイッチ  $SW_2$  ,  $SW_4$  ,  $SW_6$  が ON で、スイッチ  $SW_1$  ,  $SW_3$  ,  $SW_5$  が OFF されると、コンデンサ  $C_2$  にはコンデンサ  $C_1$  の充電電圧  $V_{DD}$  と基準電圧  $V_{DD}$  の和  $2V_{DD}$  が印加され、コンデンサ  $C_2$  はその端子間電圧が  $2V_{DD}$  になるまで充電される。次いで、スイッチ  $SW_1$  ,  $SW_5$  ,  $SW_7$  が ON で、スイッチ  $SW_2$  ,  $SW_3$  ,  $SW_4$  ,  $SW_6$  が OFF されると、コンデンサ  $C_3$  にはコンデンサ  $C_2$  の充電電圧  $2V_{DD}$  と基準電圧  $V_{DD}$  の和  $3V_{DD}$  が印加され、コンデンサ  $C_3$  はその端子間電圧が  $3V_{DD}$  になるまで充電される。従って、コンデンサ  $C_3$  の端子間電圧を出力電圧とすれば、基準電圧の 3 倍昇



圧された電圧を出力することができることになる。このような原理に基づき、チャージポンプ回路CP1は、基準電圧VDDを2倍昇圧し、チャージポンプ回路CP2は基準電圧VDDを6倍昇圧する。

なお、本実施の形態では、基準電圧VDD=1.8Vとし、V1=53.6V、V2=10.8V、V3=-3.6Vとされている。

このようなチャージポンプ方式の電源回路24を用いることにより、従来例のような分圧回路が不要となり、分圧回路等での電力ロスを低減できるとともに、電圧変換効率の優れた電源回路を備えた低消費電力の液晶表示装置を実現することが可能となる。また、上

---

10 記したように電源回路24を基板28に一体的に形成することによ

り、外付けの電源回路において生じる接続不良がなくなり、信頼性が向上するとともに、製造コストの低減を図ることができる。

また、このような電源回路24を使用することにより、容量結合駆動方式を採用するアクティブマトリクス型液晶表示装置において、

15 電圧制御容量の値を最適値とし、且つ走査信号の電圧振幅を液晶の駆動できる範囲内で最小の電圧振幅として、消費電力を一層低減することが可能となる。

以下、具体的に説明する。

#### (1) 電圧制御容量の最適化

20 本実施の形態に係る液晶表示装置においては、電圧制御容量Csは以下の第1式によって決定されている。

$$C_s = (V_{bias} / V_{epp}) \cdot (C_{tot}) \quad \dots (1)$$

ここで、V<sub>epp</sub>は補償電圧の電圧振幅、V<sub>bias</sub>は補償電圧の変化による画素電圧の変化、C<sub>tot</sub>は液晶容量C<sub>lc</sub>とトランジスタの寄生容量C<sub>gd</sub>と電圧制御容量Csの総和である。

25

ここで、補償電圧印加用回路23の電源は、基準電源電圧VDDの

整数倍とされているため、補償電圧の電圧振幅  $V_{\text{epp}}$  (図 6 参照) は基準電源電圧  $V_{\text{DD}}$  の  $n$  倍、即ち、 $V_{\text{epp}} = n \cdot V_{\text{DD}}$  (但し、 $n$  は自然数である) となる。従って、上記第 1 式は以下の式で表せる。

$$C_s = (V_{\text{bias}} / V_{\text{DD}}) \cdot (C_{\text{tot}}) \cdot (1 / n) \quad \dots (2)$$

5      ここで、本実施の形態では  $n$  が  $1 \leq n \leq 4$  の範囲に設定されている。これにより、開口率を大きくとり、且つリーク電流の増大を抑え、表示特性の向上した液晶表示装置を構成することができる。以下にその理由について詳述する。

10      先ず、上記第 1 式の導入について説明する。液晶を駆動するに際して、 $V_{\text{bias}}$  は液晶の最小電圧振幅  $V_{\text{spp}}$  を考慮すると、図 6 に示す範囲となる。そして、本発明のような容量結合駆動方式では、補償電圧  $V_{\text{epp}}$  を電圧制御容量の一方の電極から印加することにより、信号線に必要な振幅を液晶の振幅電圧 ( $V_{\text{spp}}$ ) と同じに設定できるものである。従って、 $V_{\text{bias}}$  は  $V_{\text{bias}} = (C_s / C_{\text{tot}}) \cdot V_{\text{epp}}$  となる。この式を変形し、上記第 1 式が導かれる。そして、上記第 1 式から導かれる第 2 式を満たすように  $C_s$  を設定すれば、液晶を最適に駆動できる。

20      しかしながら、第 2 式の条件下で  $n$  を任意の値とする、即ち、 $C_s$  を任意の値とすると、以下のような問題が生じる。即ち、 $C_s$  を任意の値とする ( $n$  を任意の値とすることに相当する) と、 $V_{\text{bias}}$  が左右にシフトし、例えば右側にシフトすると図 7 のように A, B 間で振幅することになり、白が表示されないことになる。逆に、左側にシフトすれば、黒が十分に沈まない。即ち、最適なコントラストが得られない。勿論、図 7 はノーマリホワイトモードの場合であり、ノーマリブラックモードの場合は、 $V_{\text{bias}}$  の左右のシフトに応じて上記とは逆の現象が発生する。一方、振幅を大きくすれば、か

かる問題は解消することができるが、消費電力が大きくなる。そこで、本発明は、最も少ない消費電力で、且つ小さい振幅で、十分なコントラストを得るため、上記第2式を充足し、且つ  $n$  が  $1 \leq n \leq 4$  の範囲に設定するようにしたものである。

- 5      そして、このような  $n$  の規制により、以下の効果も奏することになる。即ち、 $n$  が大きいと、 $C_s$  は小となり、従って、リーク電流が増大する。一方、 $n$  が小さいと、 $C_s$  は大となり、従って、電圧制御容量用の電極面積の増大により開口率が小さくなる。従って、上記  $1 \leq n \leq 4$  の範囲に設定することにより、リーク電流の増大を
- 
- 10   抑え、且つ高開口率の液晶表示装置を実現できる。

#### (2) 走査信号の電圧振幅 $V_{gpp}$ の最適化

- 走査側駆動回路21の電源は、基準電源電圧  $V_{DD}$  の整数倍とされているため、走査信号の電圧振幅  $V_{gpp}$  は基準電源電圧  $V_{DD}$  の  $m$  倍、即ち、 $V_{gpp} = m \cdot V_{DD}$  (但し、 $m$  は自然数である) となる。そして、 $m$  は、電圧振幅  $V_{gpp}$  が、単位画素に画像信号を書き込むことが可能な電圧範囲内で最小の電圧値になるような値に設定する。これにより電圧振幅  $V_{gpp}$  を小さくでき、消費電力を低減することができる。例えば、 $V_{DD} = 1.8$  (V) の場合、 $V_{epp} = n \cdot V_{DD} = 2 \times 1.8$  とされ、 $V_{gpp} = m \cdot V_{DD} = 7 \times 1.8$  とされる。

- 20      以下に図8を参照して説明する。なお、図8において、 $V_{on}$  はオンマージン、 $V_{off}$  はオフマージン、 $V_{th}$  はTFTのしきい値電圧、 $V_{spp}$  は液晶の最小振幅、 $V_{lc}$  は液晶のON電圧、 $V_{offset}$  はオフセット電圧(映像信号センターと対向電圧の差)、 $V_{sc}$  は信号センター、 $V_{gpp}$  は走査信号振幅を示す。例えば、
- 25    $m = 6$  の場合は、しきい値電圧  $V_{th}$  以下となり、液晶表示をON状態にできない。一方、 $m = 8$  の場合は、液晶表示をON状態にす

ることではあるが、消費電力の観点からは適切でない。最小の電圧振幅で液晶を駆動するためには、 $m = 7$ であることが必要であることが理解される。

このようにして、走査信号の電圧振幅  $V_{gpp}$  を最小振幅で駆動することができるため、消費電力の低減を図ることができる。

こうして、本発明においては、容量結合駆動方式の液晶表示装置において、電圧制御容量を最適化、補償電圧の電圧振幅  $V_{epp}$  及び走査信号の電圧振幅  $V_{gpp}$  の最適化を図ることにより、液晶の表示品位を保持しつつ、最小の電圧振幅で液晶を駆動することが可能となり、大幅な消費電力の低減を図ることができる。

なお、液晶表示装置に入力される画像データは、アナログ信号であってもデジタル信号であってもよい。入力画像データがデジタル信号の場合は、デジタル／アナログ変換回路を備えた信号側駆動回路 22 を用いればよい。

また、デジタル／アナログ変換回路を用いない場合は、1 フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し前記保持期間の累積効果で階調表示を行う PWM (Pulse Width Modulation) 駆動方式 (例えば特開平 5 - 1 0 7 5 6 1 号公報参照) を用いれば、デジタル信号をそのまま信号線 SL に供給してデジタル駆動が可能となる。

(実施の形態 2)

図 9 は実施の形態 2 に係る液晶表示装置の回路図であり、図 10 は単位画素の構成を示す回路図である。この実施の形態 2 の液晶表示装置は、上記の実施の形態 1 に類似し、対応する部分には同一の参照符号を付す。この実施の形態 2 は、面積階調表示方式を用いることを特徴とする。なお、実施の形態 2 に用いられるデジタル画像

信号は 4 ビットデータ構成とされ、16 階調を表示することができるアクティブマトリクス型の液晶表示装置を示している。

本実施の形態 2 における液晶表示装置は、面積階調表示方式を採用するため、単位画素 45 は複数個（本実施の形態 1 では 4 個）の副画素 P1, P2, P3, P4 から構成されている。副画素 P1 は、副画素電極 M1 と、薄膜トランジスタ（TFT: Thin Film Transistor）で構成される副画素トランジスタ Tr1 と、容量結合駆動を行うための電圧制御容量 C1 を有している。その他の副画素 P2 ~ P4 も、副画素 P1 と同様に、副画素電極 M2 ~ M4 と副画素トランジスタ Tr2 ~ Tr4 と電圧制御容量 C2 ~ C4 から構成されている。

本実施の形態 2 では、前記副画素 M1 ~ M4 の電極面積比が、デジタル画像データの重み付けに対応した大きさに形成されている。即ち、副画素電極 M1 の面積 : 副画素電極 M2 の面積 : 副画素電極 M3 の面積 : 副画素電極 M4 の面積 = 1 : 2 : 4 : 8 となっている。そして、4 ビット画像データの第 1 番目のビットデータが副画素 P1 に対応し、第 2 番目のビットデータが副画素 P2 に対応し、第 3 番目のビットデータが副画素 P3 に対応し、第 4 番目のビットデータが副画素 P4 に対応する。このような副画素電極がデジタル信号の重み付けに対応した大きさとされているため、デジタル画像データに応じて、16 階調の表示が可能となる。なお、副画素電極の電極面積とは、実効的に光の変調に寄与する部分の面積であり、例えば透過型の場合では、電極面積から遮光体で覆われた部分の面積を除いた実効面積を意味する。

また、各単位画素 45 は、走査線 GL が副画素毎に個別に配線されると共に、信号線 SL が副画素全てに共通に配線された配線構造

となっている。なお、副画素の配線構造としては、上記配線構造に限らず、信号線 S L を副画素毎に配線し、かつ、走査線 G L を副画素全てに共通に配線する配線構造としてもよい。但し、そのような配線構造を、フルカラー表示の液晶表示装置における R、G、B の副画素の配線構造に適用した場合に、配線の接続本数が増大し、接続ピン数の飛躍的な増大に起因した接続不良の増大、更には表示欠陥等の画質の低下の発生を招くおそれがある。この点に関して、本実施の形態の配線構造であれば、フルカラー表示の液晶表示装置における R、G、B の副画素の配線構造に適用しても、配線の接続本数がそれ程増大しないため、上記問題を解消することが可能となる。

また、本実施の形態 2 における液晶表示装置は、実施の形態 1 と同様に容量結合駆動方式（対向電極電位一定）が用いられる。具体的な構成について説明すると、電圧制御容量配線 2 6 は単位画素 4 5 毎に配線されており、この電圧制御容量配線 2 6 に接続される共通接続線 3 0 を介して、前記各電圧制御容量 C 1 ～ C 4 の一方の電極がそれぞれ電圧制御容量配線 2 6 に接続された構成となっている。これにより、突き抜け電圧に起因した表示品位の低下を防止することができる。また、このような独立した電圧制御容量配線 2 6 を設けることにより、走査線に走査信号と補償電圧を重畳する構成（例えば特開平 2 - 1 5 7 8 1 5 号公報）に比べて、走査側駆動回路 2 1 の低電圧化が可能となる。

なお、後述するように、補償電圧印加用駆動回路 2 3 は、図 1 4 に示すように、単位画素を構成する全ての副画素の書き込み終了後に補償電圧信号を変化させて、各副画素の画素電極電位を一括して変調させるように構成されている。これにより、例えば、副画素毎に電圧制御容量配線 2 6 を配線し、且つ電圧制御容量 C 1 ～ C 4 を

それぞれ電圧制御容量配線 2 6 に個別に接続した構造に比べて、電  
圧制御容量配線 2 6 の配線数が少なくて済み、このため、開口率の  
向上及び駆動制御の簡素化を図ることができる。また、1 水平走査  
周波数（ここで、1 水平走査とは、本実施の形態のような容量結合  
5 駆動方式においては、副画素の書き込み終了後に補償電圧を変化さ  
せて副画素電極の電位を変調させることを意味する。）が小さくなり、  
消費電力の低減を図ることができる。更に、本実施の形態のような  
容量結合方式を用いる駆動方法にあつては、各副画素毎に反転駆動  
する（1 つの副画素を通常の 1 つの画素と見なせば、1 H 反転駆動  
10 に相当する）と、容量結合に起因して階調特性（ $\gamma$  特性）が直線的  
にならず、凹凸状の非線形なものとなる。従つて、表示品位の劣化  
を招く。この点に関して、本実施の形態のように、単位画素毎に反  
転駆動（1 つの副画素を通常の 1 つの画素と見なせば、4 H 反転駆  
動に相当する）することにより、 $\gamma$  特性の直線性を高めることがで  
15 き、表示品位の向上を図ることができる。

なお、補償電圧印加用駆動回路 2 3 に代えて、走査側駆動回路 2  
1 に補償電圧印加機能を持たせると共に、走査側駆動回路 2 1 に電  
圧制御容量配線 2 6 を接続するようにしてもよく、このようにすれ  
ば補償電圧印加用駆動回路 2 3 の分だけ回路面積を小さくすること  
20 ができる。

ここで、副画素電極の面積比が 1 : 2 : 4 : 8 とされていること  
から、電圧制御容量もそれに応じた容量値となるように構成されて  
いる。即ち、電圧制御容量 C 1 の値 : 電圧制御容量 C 2 の値 : 電圧  
制御容量 C 3 の値 : 電圧制御容量 C 4 の値 = 1 : 2 : 4 : 8 とされ  
25 ている。これにより、画素電極電位の変動を小さく抑えることがで  
き、良好な画質を得ることが可能となる。

更に、各副画素トランジスタ  $T_{r1} \sim T_{r4}$  は、ON 電流の能力がデジタル画像信号の重み付けに対応した大きさに設定されている。具体的には、本実施の形態では、各副画素トランジスタ  $T_{r1} \sim T_{r4}$  のチャネル幅が副画素の電極の大きさに対応する大きさ、即ち、  
5 1 : 2 : 4 : 8 のチャネル幅比となっている。このような構成により、適切に書き込むことが可能となる。なお、各副画素トランジスタ  $T_{r1} \sim T_{r4}$  のチャネル幅を異ならせるのに代えて、チャネル長をデジタル画像信号の重み付けに対応した大きさとなるように設定してもよい。また、チャネル幅とチャネル長さの両者を異ならせ、  
10 ON 電流の能力をデジタル画像信号の重み付けに対応した大きさに  
なるように設定してもよい。

図 1 1 は信号側駆動回路の具体的な構成を示すブロック回路図である。本実施の形態 2 に係る信号側駆動回路 2 2 A は、シフトレジスタ 4 0 と、デジタル画像信号をラッチする第 1 ラッチ回路 4 1 と、  
15 第 1 ラッチ回路の出力をラッチする第 2 ラッチ回路 4 2 と、例えば EX-OR によって実現される極性反転回路 4 3 とから構成されている。この信号側駆動回路 2 2 A は、上記実施の形態 1 の信号側駆動回路 2 2 と同様に、多結晶シリコン半導体で構成されて、副画素トランジスタ  $T_{r1} \sim T_{r4}$  の製造プロセス時に同時にアクティブ  
20 基板 2 8 に一体的に作り込まれた内蔵回路である。

図 1 2 は画像データのデータ列を示す図であり、図 1 3 は副画素の配置状態を模式的に示す図であり、図 1 4 は画素電極電位の変位のタイミングチャートである。図 5 において、 $(i, j)$  は  $i$  番目の信号線  $SL_i$  と  $j$  番目の走査線  $GL_j$  に関する副画素を示している。  
25 なお、一例として V G A 対応 ( 6 4 0 × 4 8 0 画素 ) の液晶パネル構成を示す。勿論、副画素はその面積がデジタル信号の重み付け



に対応した大きさとなっており、副画素が同一の大きさであるとして描かれた図 1 3 の配置状態は実際の配置状態とは異なる。しかし、表示動作の説明としては、全体の副画素のうちのどの副画素かを信号線 S L と走査線 G L とにより特定できれば十分であるため、図 1 3 の模式図を用いることにする。また、図 1 4 ( a ) は第 n 番目の画素に関するタイミング、図 1 4 ( b ) は第 n + 1 番目の画素に関するタイミングを示している。

10 先ず、画像信号は、外部のデータ変換回路（図示せず）により、予め図 1 2 ( 1 ) に示す本来の画像データが図 1 2 ( 2 ) に示す画像データ列に変換されている。即ち、第 1 ラッチ回路 4 1 の入力データ線には、図 1 2 ( 2 ) に示す画像データが供給される。図 1 2 ( 2 ) において、ビットデータ  $d(i, j)$  は、i 番目の信号線 S L i と j 番目の走査線 G L j に関する副画素に関するデータを示す。図 1 2 ( 1 ), ( 2 ) より明らかなように、1 画素は 4 ビットデータ  
15 で、この 4 ビットデータが連続する 4 行毎の 1 ラインデータに振り分けられている。例えば、副画素 ( 1 , 1 ), 副画素 ( 1 , 2 ), 副画素 ( 1 , 3 ), 副画素 ( 1 , 4 ) で構成される画素 [ 1 , 1 ] を例にして説明すると、副画素 ( 1 , 1 ) に関するビットデータ  $d(1, 1)$  は第 1 ラインデータ列に、副画素 ( 1 , 2 ) に関するビットデータ  $d(1, 2)$  は第 2 ラインデータ列に、副画素 ( 1 , 3 ) に関するビットデータ  $d(1, 3)$  は第 3 ラインデータ列に、副画素 ( 1 , 4 ) に関するビットデータ  $d(1, 4)$  は第 4 ラインデータ列に振り分けられ、且つ、各第 1 ~ 第 4 ラインデータ列の第 1 番目のビットデータとされている。このような単位画素に関する 4 ビット画像  
20 データの振り分けは、他の単位画素に関しても行われている。

先ず、入力データ線に図 1 2 ( 2 ) に示す画像データが供給され

ると、これと同期してラッチパルスがシフトレジスタ 4 0 から順次出力される。これにより、第 1 ラインデータの各ビットデータが順次第 1 ラッチ回路 4 1 にラッチされる。こうして、1 ラインデータの各ビットデータが第 1 ラッチ回路 4 1 にラッチされた後、ラッチパルスが全ての第 2 ラッチ回路 4 2 に共通に供給される。これにより、第 1 ラッチ回路 4 1 からラインデータが第 2 ラッチ回路 4 2 にラッチされるとともに、信号線 S L ... を介して液晶表示部 2 0 に出  
5 力される。これと同期して、第 1 走査線 G L 1 が選択される。これにより、第 1 ラインデータが、第 1 走査線 G L 1 に接続される各副  
10 ~~画素電極に書き込まれる。~~次いで、同様の動作により、~~第 2 ライン~~  
データ、第 3 ラインデータ、第 4 ラインデータが書き込まれていく。そして、第 4 ラインデータの書き込み完了後（即ち、第 1 行に属する単位画素の書き込み完了後）、図 1 4 ( a ) に示すように、電圧制御容量配線 2 6 を介して補償電圧が高電位側にシフトする。これに  
15 より、第 1 行に属する単位画素の画素電極電位が所定電位に変調される。この結果、第 1 行に属する単位画素は、対向電極電位  $V_c$  に対して正極性で印加されることになる。

また、このとき、画素 [ 1 , 1 ] に着目すれば、第 1 ラインの書き込みにより、副画素 ( 1 , 1 ) にビットデータ  $d ( 1 , 1 )$  が書  
20 き込まれる。同様にして、第 2 ライン～第 4 ラインの書き込みにより、副画素 ( 1 , 2 ) にビットデータ  $d ( 1 , 2 )$  が書き込まれ、副画素 ( 1 , 3 ) にビットデータ  $d ( 1 , 3 )$  が書き込まれ、副画素 ( 1 , 4 ) にビットデータ  $d ( 1 , 4 )$  が書き込まれる。次いで、補償電圧の高電位側のシフトにより、ビットデータ  $d ( 1 , 1 )$  ～  
25 ビットデータ  $d ( 1 , 4 )$  に対応した副画素電極電位に変調されて表示され、画素 [ 1 , 1 ] は所定の階調で表示されることになる。

例えば、ビットデータ  $d(1, 1) = 「1」$ 、ビットデータ  $d(1, 2) = 「0」$ 、ビットデータ  $d(1, 3) = 「0」$ 、ビットデータ  $d(1, 4) = 「0」$  の場合は、副画素  $(1, 1)$  のみが ON で、副画素  $(1, 2)$ 、副画素  $(1, 3)$ 、及び副画素  $(1, 4)$  は、OFF となる。従って、画素  $[1, 1]$  は 16 階調のうちレベル 1 の明るさで表示されることになる。また、例えば、ビットデータ  $d(1, 1) = 「1」$ 、ビットデータ  $d(1, 2) = 「1」$ 、ビットデータ  $d(1, 3) = 「0」$ 、ビットデータ  $d(1, 4) = 「0」$  の場合は、副画素  $(1, 1)$  及び副画素  $(1, 2)$  が ON で、副画素  $(1, 3)$  及び副画素  $(1, 4)$  は OFF となる。従って、画素  $[1, 1]$  は 16 階調のうちレベル 3 の明るさで表示されることになる。

上記の例は画素  $[1, 1]$  について説明したけれども、他の画素についても同様な表示動作が行われ、所定の階調レベルの明るさで表示される。こうして、映像信号に応じた階調表示が行われる。

次いで、第 5 ～ 第 8 ラインデータの書き込み、即ち、第 2 行に属する単位画素の書き込みが行われる。この第 5 ～ 第 8 ラインデータの書き込みは、基本的には上記第 1 ～ 第 4 ラインデータの書き込み動作と同様である。但し、第 5 ～ 第 8 ラインデータの書き込み完了後（即ち、第 2 行に属する単位画素の書き込み完了後）、図 14 (b) に示すように、電圧制御容量配線 26 を介して補償電圧が低電位側にシフトする。これにより、第 2 行に属する単位画素の画素電極電位が所定電位に変調される。この結果、第 2 行に属する単位画素は、対向電極電位  $V_c$  に対して負極性で印加されることになる。

以下、同様な動作が行われ、4 ライン毎に極性が変化する 4 H 反転駆動が行われる（単位画素について見れば、単位画素毎に極性反転駆動することになる）。従って、フリッカーの発生を防止すること

ができる。

なお、上記の例では、4ビット（16階調）の例について説明したけれども、本発明はこれに限定されるものではなく、単位画素を5個、6個あるいはそれ以上の個数の副画素から構成し、5ビット（32階調）、6ビット（64階調）あるいはその他の多階調表示を行うようにしてもよい。

また、上記の例では、白黒表示の液晶表示装置について説明したけれども、R（赤色）G（緑色）B（青色）の副画素を有するフルカラー表示の液晶表示装置についても本発明は適用することができる。  
10 ~~る。フルカラー表示の液晶表示装置に適用する場合は、単位画素4~~  
5・45・45をRGBの副画素とし、単位画素45・45・45の3つにより1画素を構成するようにして、水平方向（液晶表示パネルの横方向）に並ぶ単位画素をそれぞれRGBの副画素に振り分けるように構成すればよい。

### 15 （実施の形態3）

本実施の形態3では、各副画素毎に、電圧制御容量に加えて蓄積容量が形成されていることを特徴とするものである。このような構成により、負荷容量を大きくとることができ、画素電極電位の良好な保持特性を向上することができる。また、これにより、画質の向  
20 上を図ることが可能となる。

以下、図15及び図16を参照して、本実施の形態の形態を具体的に説明する。

図15は実施の形態3の液晶表示装置における単位画素の構成を示す図であり、図16は1つの副画素の等価回路図である。なお、  
25 実施の形態2に対応する部分には、同一の参照符号を付して詳細な説明は省略する。本実施の形態に係る液晶表示装置における副画素

P 1 には、電圧制御容量  $C_1$  の他に、副画素電極と前段走査線  $GL$  との間に蓄積容量  $60$  が形成されている。その他の副画素  $P_2 \sim P_4$  も、副画素  $P_1$  と同様な構成を有している。なお、蓄積容量  $60$  の容量値を  $C_{s1}$  で示すことにする。また、液晶容量  $27$  の容量値を  $C_{lc}$  とし、電圧制御容量  $C_1 \sim C_4$  の容量値を  $C_c$  とする。

従来の付加容量の構成は、電圧制御容量配線に設ける（図 1.7 (a)）か、あるいは前段の走査線間に設ける（図 1.7 (b)）かであった。これに対し本実施の形態は、付加容量を電圧制御容量配線及び前段走査線の両方に設ける（図 1.7 (c)）構成となっている。

これにより、液晶に付加される容量の値を大きくすることができ、良好な保持特性を得ることが可能となる。

特に、単位画素を分割して複数の副画素を有する構成とする本実施の形態に係る液晶表示装置では、各副画素内に形成された電圧制御容量のみでは十分な容量値を確保することが困難であり、従って、このような電圧制御容量に加えて蓄積容量を別途形成するような構成により、必要十分な容量値を確保することが可能となる。

次に本実施の形態において最適な駆動条件を求める。

表 1 は、本実施の形態における最適駆動条件の求め方を表したものである。

20

表 1

	設定値 (必要条件)	理由
補償電圧 : $V_{epp}$	3.6 V	基準電圧 (= 1.8 V) の整数倍
バイアス電圧 : $V_b$	1.5 V	液晶の $T-V$ 特性によって決定される最適バイアス値
蓄積容量 : $C_{s1}$	0.13 pF	ゲート電極線の幅 (= 6 $\mu m$ )
液晶負荷容量 : $C_{tot}(=C_{lc}+C_{s1}+C_c)$	$\geq 0.25 pF$	液晶セルの保持特性を確保

まず液晶パネルを駆動するために望ましい条件を決める。本実施

の形態においては電圧制御容量配線に与える補償信号の振幅  $V_{\text{epp}}$  を 3.6 V とした。これは液晶パネルのコントローラが 1.8 V の電圧で駆動される場合が多く、これより、他の信号電圧は 1.8 V の整数倍で設計したほうが、電源の設計効率が有利になるためである。つまり、 $V_{\text{epp}}$  が、コントローラ制御用電圧に代表される外部より与えられる基準電圧の整数倍とすることにより、電源回路としてチャージポンプに代表される高効率の DC / DC コンバータが使用できる。従って、システムとしての消費電力を下げる事が可能となる。

10 次に補償電圧  $V_{\text{epp}}$  により液晶に印加されるバイアス電圧の値を決める。これは液晶の電圧・透過率特性により決定され、その値は図 18 に示すように、ちょうど透過率が変化する中心点に設定すると、必要な信号電圧の振幅値が最小となる。本実施の形態ではこの値を 1.5 V に設定した。

15 次に前段の走査線間に形成する蓄積容量の値を決める。この値は走査電極の信号線幅より決定される。本実施の形態では走査電極の幅を 6  $\mu\text{m}$  に設定したため、蓄積容量の値は 0.13 pF に設計した。

次に制御容量  $C_c$  の値を以下の式 3 に従って決める。

$$C_{cc} = \{(V_{\text{bias}} / V_{\text{epp}} - V_{\text{bias}})\} \cdot (C_{lc} + C_{s1}) \quad \dots (3)$$

20 但し、 $V_{\text{bias}}$  は補償電圧の変化による画素電圧の変化量、 $V_{\text{epp}}$  は補償電圧信号の電圧振幅、 $C_{lc}$  は液晶容量、 $C_{s1}$  は蓄積容量である。

この式 3 に前記値と画素電極の大きさにより決定される液晶容量  $C_{lc}$  を代入することにより求める。最終的に  $C_{lc}$ 、 $C_{s1}$  及び  $C_c$  の総和を求めて、これが液晶の保持特性を満足する容量を満たすように設計を行った。本実施の形態では、TFT のオフ抵抗を考慮して、

総和が 0.25 pF 以上となるように設計した。

この組み合わせを表 2 に示す。

表 2

副画素	C <sub>lc</sub> 液晶容量	C <sub>s1</sub> 蓄積容量	C <sub>c</sub> 電圧制御容量	C <sub>tot</sub> 負荷容量
M 1	0.024	0.13	0.11	0.26
M 2	0.048	0.13	0.13	0.31
M 3	0.096	0.13	0.16	0.39
M 4	0.192	0.13	0.23	0.55

5        本実施の形態における液晶容量 C<sub>lc</sub>、蓄積容量 C<sub>s1</sub>、電圧制御容量 C<sub>c</sub>、全容量の総和 C<sub>tot</sub>を表 2 に示された組み合わせとなるように液晶表示装置を作製した。これにより、すべての副画素で同一の

---

バイアス電圧で駆動することが可能となると共に、すべての副画素内での必要十分な保持特性を確保することが可能となる。

10        なお、アクティブ基板の走査側駆動回路および信号側駆動回路の回路素子、および、画素スイッチング素子は、多結晶シリコン薄膜トランジスタを用いることが好ましい。これによって、副画素内のトランジスタの小型化が可能となり、設計が容易となる。あわせて

15        低減および小形化に寄与することができる。

      なお、上記の例では、1 画素を複数の副画素に分割しそれぞれの副画素が上記表 2 に示す条件を満たすように構成したけれども、上記の電圧制御容量の値の最適化の方法は、副画素構成でない通常の単位画素についても適用することができる。

20        (実施の形態 4)

      図 19 は実施の形態 4 の液晶表示装置の一部構成を示すブロック図である。70 は電圧検出回路 70 であり、71 は電源回路 24 からの駆動用電源電圧の補償回路である。バッテリー 12 の電源電圧レ

ベルは電圧検出回路 70 によって検出され、検出された信号は補償回路 71 に与えられる。これにより、補償回路 71 は検出信号に応じて駆動用電源電圧のレベルを補償する。このため、バッテリー 12 の電源電圧が変動しても、常に所定の駆動用電源電圧が得られることになる。この結果、駆動回路 21, 22, 23 は、誤動作がなく、最適な状態で駆動されることになり、希望する液晶表示が達成される。

(実施の形態 5)

図 20 は実施の形態 5 に係る表示装置の全体構成図である。この実施の形態 5 は、実施の形態 1 に類似し、対応する部分には同一の参照符号を付す。実施の形態 5 に係る表示装置は、アクティブマトリクス型 EL (エレクトロルミネッセンス) 表示装置である。図 20 において、80 は EL 素子であり、81 は EL 素子 80 に駆動電流を供給する電流供給線である。また、Tra は画素スイッチング素子としてのスイッチングトランジスタであり、Trb は EL 素子への電流量を制御する電流制御素子として機能する駆動用トランジスタである。本実施の形態 5 では、スイッチングトランジスタ Tra および駆動用トランジスタ Trb のいずれもが、基板 28 上に形成された多結晶シリコン半導体で構成される薄膜トランジスタである。なお、電流供給線 81 は定電流源 (図示せず) に接続されている。この定電流源の駆動用電源は、電源回路 24 から供給するように構成されていてもよく、また、外部の電源回路から供給するように構成されていてもよい。

このように、本発明は、液晶表示装置に限らず、EL 表示装置にも適用することができる。但し、EL 表示装置は容量結合駆動を適用できないため、上記実施の形態の液晶表示装置における電圧制御



容量、電圧制御容量配線、補償電圧印加用駆動回路等の容量結合駆動に関係する構成は省略される。従って、その他の副画素構成の液晶表示装置に関する本発明は、EL表示装置にも適用することができる。

5 (その他の事項)

上記実施の形態では、レベルシフト回路25は、多結晶シリコン半導体で形成された内蔵回路であったけれども、単結晶シリコン半導体で形成されたICチップでレベルシフト回路を構成し、基板に実装するようにしてもよい。

10 ~~また、上記実施の形態では、信号側駆動回路22は、多結晶シリ~~  
コン半導体で形成された内蔵回路であったけれども、単結晶シリコン半導体で形成されたICチップで信号側駆動回路を構成し、基板に実装するようにしてもよい。このようにすれば、内蔵回路とするよりもトランジスタの膜圧が大きくなって容量を小さくでき、信号  
15 側駆動回路での消費電力を低減することができる。更に、内蔵回路の場合、欠陥不良が存在すると、リペアが不可能であるが、ICチップの場合は不良のICチップのみを交換すればよく、歩留まりが向上する。

20 産業上の利用可能性

以上のように本発明の構成によれば、以下の効果を奏する。

(1) チャージポンプ方式の電源回路を用いることにより、従来例のような分圧回路が不要となり、分圧回路等での電力ロスを低減できるとともに、電圧変換効率の優れた電源回路を備えた低消費電力の液晶表示装置を実現することが可能となる。  
25

(2) 電源回路を、絶縁性基板上に一体的に形成することにより、

外付けの電源回路において生じる接続不良がなくなり、信頼性が向上する。また、製造コストの低減を図ることができる。

(3) 容量結合駆動方式の液晶表示装置において、補償電圧の電圧振幅や走査信号の電圧振幅の最適化を図ることにより、消費電力を可及的に低減すると共に、表示品位を保持し、且つ開口率を向上することが可能となる。

---

10

15

20

25

## 請 求 の 範 囲

1. 画素スイッチング素子と画素電極とを有する単位画素がマトリクス状に配列された表示部と、

5. 走査線に走査信号を供給する走査側駆動回路と、

信号線に画像信号を供給する信号側駆動回路と、

基準電源電圧を入力し、基準電源電圧から前記走査側駆動回路および前記信号側駆動回路の駆動用電源電圧を生成し、この駆動用電源電圧を前記走査側駆動回路および前記信号側駆動回路に供給する

10 電源回路と、

を備え、

前記画素スイッチング素子は、絶縁性基板上に形成された多結晶シリコン半導体で構成される薄膜トランジスタであり、

前記電源回路は、チャージポンプ方式の電源回路であり、

15 更に、この電源回路は、多結晶シリコン半導体で構成され、前記絶縁性基板上に一体的に形成された内蔵回路であることを特徴とする表示装置。

2. 前記表示部が液晶表示部である請求項1記載の表示装置。

20

3. 前記表示部は、EL素子の発光により表示を行うEL表示部であり、このEL表示部の単位画素は、前記画素スイッチング素子および前記画素電極に加えて、EL素子への電流量を制御する電流制御素子を有し、

25 この電流制御素子は、前記絶縁性基板上に形成された多結晶シリコン半導体で構成される薄膜トランジスタである請求項1記載の表

示装置。

4. 前記各单位画素は、一方の電極が前記画素電極に接続される電圧制御容量と、この電圧制御容量の他方の電極に接続され補償電
- 5 圧信号を供給する電圧制御容量配線とを有し、

前記電圧制御容量配線は、それぞれ前記画素への書き込み終了後に前記補償電圧信号の電位を変化させて画素電極の電位を変調させる補償電圧印加用駆動回路に接続され、

前記電源回路は、前記走査側駆動回路および前記信号側駆動回路

10 の駆動用電源電圧に加えて、前記補償電圧印加用駆動回路に供給する駆動用電源電圧をも生成する請求項2記載の表示装置。

5. 前記電圧制御容量の容量値を  $C_s$  とすると、 $C_s$  が以下の第1式を満たす請求項4記載の表示装置。

15 
$$C_s = (V_{bias} / V_{epp}) \cdot C_{tot} \quad \dots (1)$$

但し、 $V_{bias}$  は補償電圧の変化による画素電圧の変化、 $V_{epp}$  は補償電圧信号の電圧振幅、 $C_{tot}$  は電圧制御容量と寄生容量と液晶容量の総和である。

- 20 6. 前記補償電圧信号の電圧振幅  $V_{epp}$  が、前記電源回路に入力された基準電源電圧の  $n$  倍 ( $n$  は自然数とする) で表され、このとき  $n$  は、 $1 \leq n \leq 4$  の範囲に設定されている請求項5記載の表示装置。

7. 前記走査信号の電圧振幅は前記基準電源電圧の  $m$  倍 ( $m$  は自然
- 25 数とする) とされ、このときの  $m$  は、走査信号の電圧振幅が、前記単位画素に画像信号を書き込むことが可能な電圧範囲内で最小の電圧

値になるような値に設定されている請求項 6 記載の表示装置。

8. 単位画素がマトリクス状に配列された表示部と、  
走査線に走査信号を供給する走査側駆動回路と、  
5 信号線にデジタル画像信号を供給する信号側駆動回路と、  
基準電源電圧を入力し、基準電源電圧から前記走査側駆動回路および前記信号側駆動回路の駆動用電源電圧を生成し、この駆動用電源電圧を前記走査側駆動回路および前記信号側駆動回路に供給する電源回路と、

10 を備え、

- 前記単位画素は複数の副画素に分割され、  
各副画素は、それぞれ個別に、副画素電極と、絶縁性基板上に形成された多結晶シリコン半導体で構成される薄膜トランジスタからなる副画素スイッチング素子とを有し、  
15 前記電源回路は、チャージポンプ方式の電源回路であり、  
更に、この電源回路は、多結晶シリコン半導体で構成され、前記絶縁性基板上に一体的に形成された内蔵回路であることを特徴とする表示装置。

- 20 9. 前記表示部が液晶表示部である請求項 8 記載の表示装置。

10. 前記表示部は、EL素子の発光により表示を行うEL表示部であり、このEL表示部の副画素は、前記副画素スイッチング素子および前記副画素電極に加えて、EL素子への電流量を制御する  
25 電流制御素子を有し、

この電流制御素子は、前記絶縁性基板上に形成された多結晶シリ

コン半導体で構成される薄膜トランジスタである請求項 8 記載の表示装置。

1 1 . 前記単位画素内における副画素電極の面積が、それぞれ前記デジタル画像信号の重み付けに対応した大きさに形成されている請求項 8 記載の表示装置。

1 2 . 前記走査線が副画素毎に配線され、前記信号線が副画素全てに共通に配線された配線構造を有する請求項 8 記載の表示装置。

10

1 3 . 前記各副画素は、一方の電極が前記副画素電極に接続される電圧制御容量と、この電圧制御容量の他方の電極に接続され補償電圧信号を供給する電圧制御容量配線とを有し、

前記電圧制御容量配線は、前記副画素への書き込み終了後に前記補償電圧信号の電位を変化させて副画素電極の電位を変調させる補償電圧印加用駆動回路に接続され、

前記電源回路は、前記走査側駆動回路および前記信号側駆動回路の駆動用電源電圧に加えて、前記補償電圧印加用駆動回路に供給する駆動用電源電圧をも生成する請求項 9 記載の表示装置。

20

1 4 . 前記単位画素内における副画素電極の面積が、それぞれ前記デジタル画像信号の重み付けに対応した大きさに形成されている請求項 1 3 記載の表示装置。

1 5 . 前記単位画素内における副画素スイッチング素子は、それぞれ ON 電流の能力が前記デジタル画像信号の重み付けに対応した

大きさとされている請求項 1 3 記載の表示装置。

1 6 . 前記単位画素内における各電圧制御容量は、それぞれ容量  
値が前記デジタル画像信号の重み付けに対応した大きさとなるよう  
5 に形成されている請求項 1 3 記載の表示装置。

1 7 . 前記走査線のうちの前段走査線と前記画素電極との間に、  
蓄積容量が形成されている請求項 1 3 記載の表示装置。

-----10-----1 8 . 前記走査側駆動回路および前記信号側駆動回路は、多結晶  
シリコン半導体で構成され、前記絶縁性基板上に一体的に形成され  
た内蔵回路である請求項 1 記載の表示装置。

1 9 . 前記信号側駆動回路は単結晶シリコン半導体で形成され、  
15 前記走査側駆動回路は多結晶シリコン半導体で形成され、前記絶縁  
性基板上に一体的に形成された内蔵回路である請求項 1 記載の表示  
装置。

2 0 . 前記走査側駆動回路、前記信号側駆動回路および補償電圧  
20 印加用駆動回路は、多結晶シリコン半導体で構成され、前記絶縁性  
基板上に一体的に形成された内蔵回路である請求項 4 記載の表示装  
置。

2 1 . 前記走査側駆動回路および前記信号側駆動回路に制御信号  
25 を供給するレベルシフト回路を有し、

このレベルシフト回路は、多結晶シリコン半導体で形成され、前

記絶縁性基板上に一体的に形成された内蔵回路である請求項 1 記載の表示装置。

5

10

---

15

20

25





図2

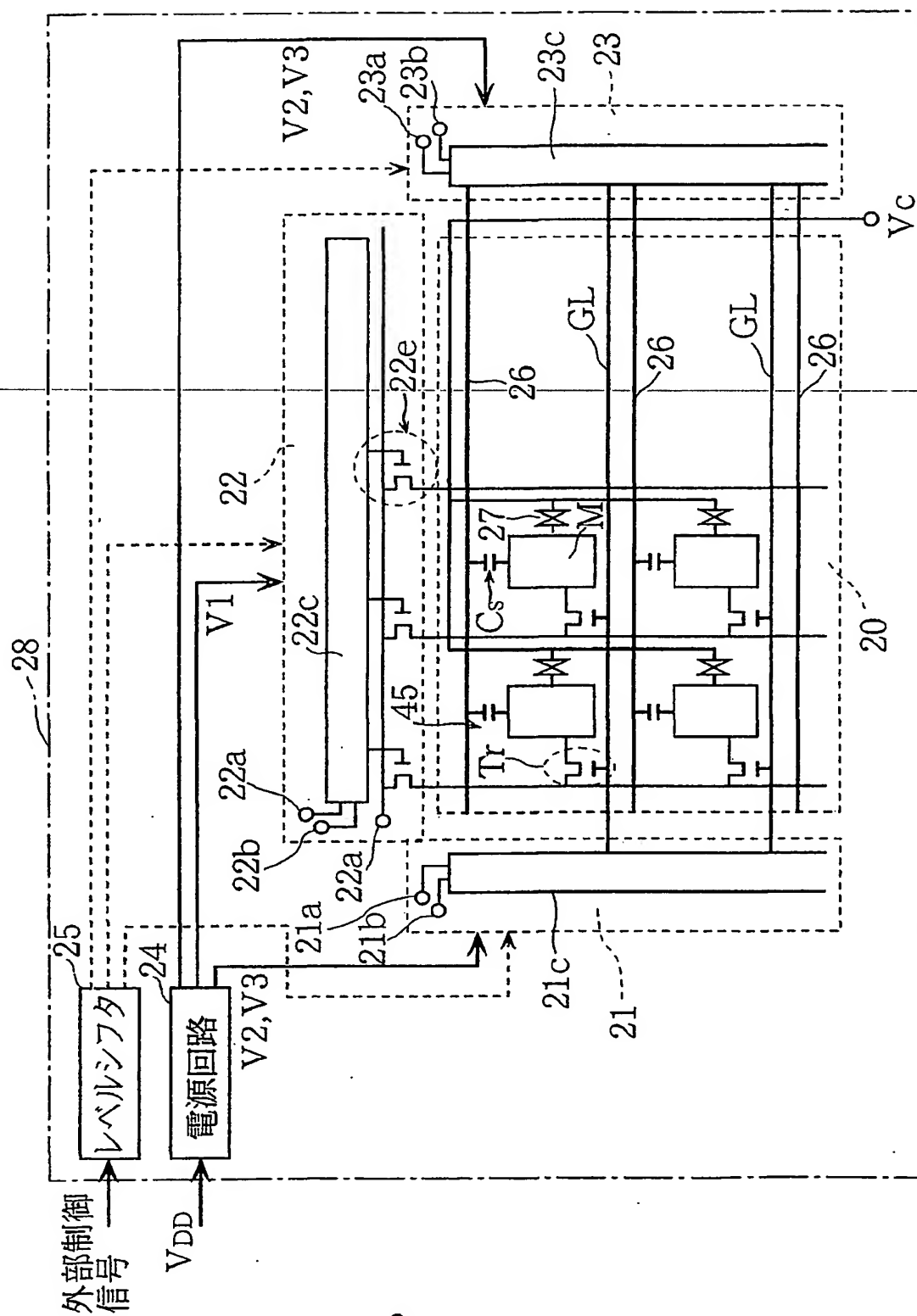


図3

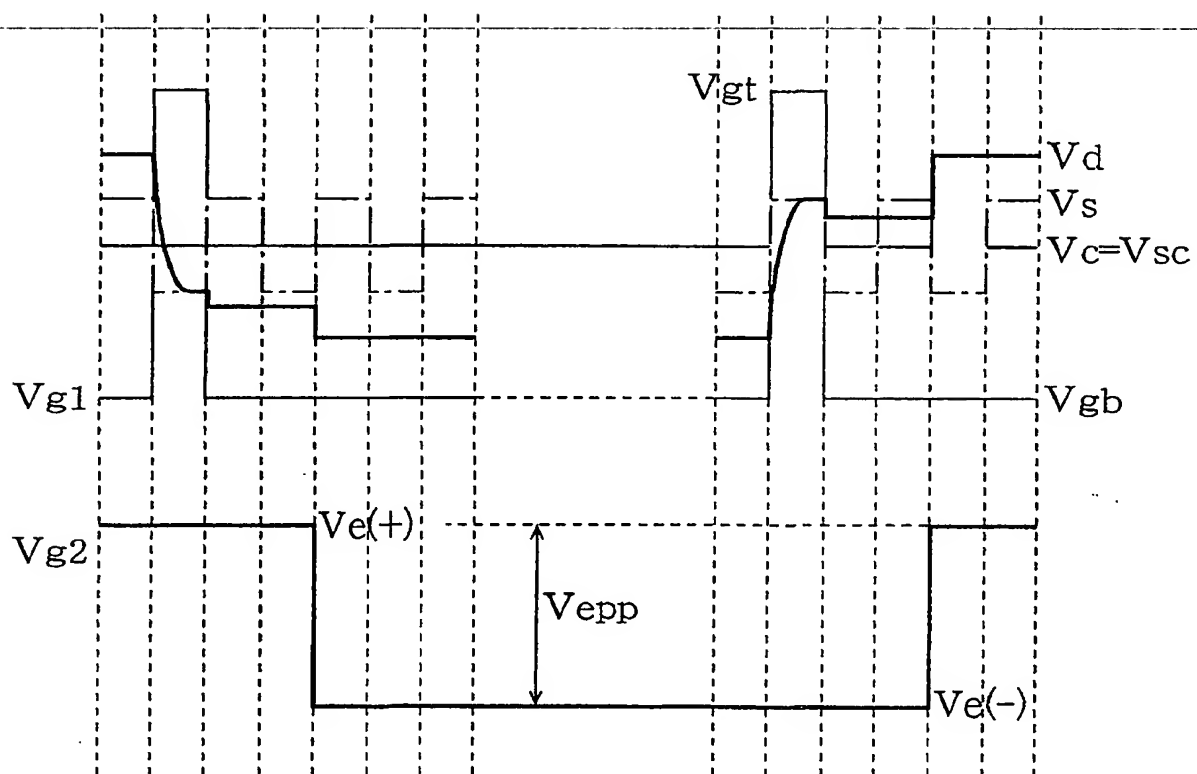


図4

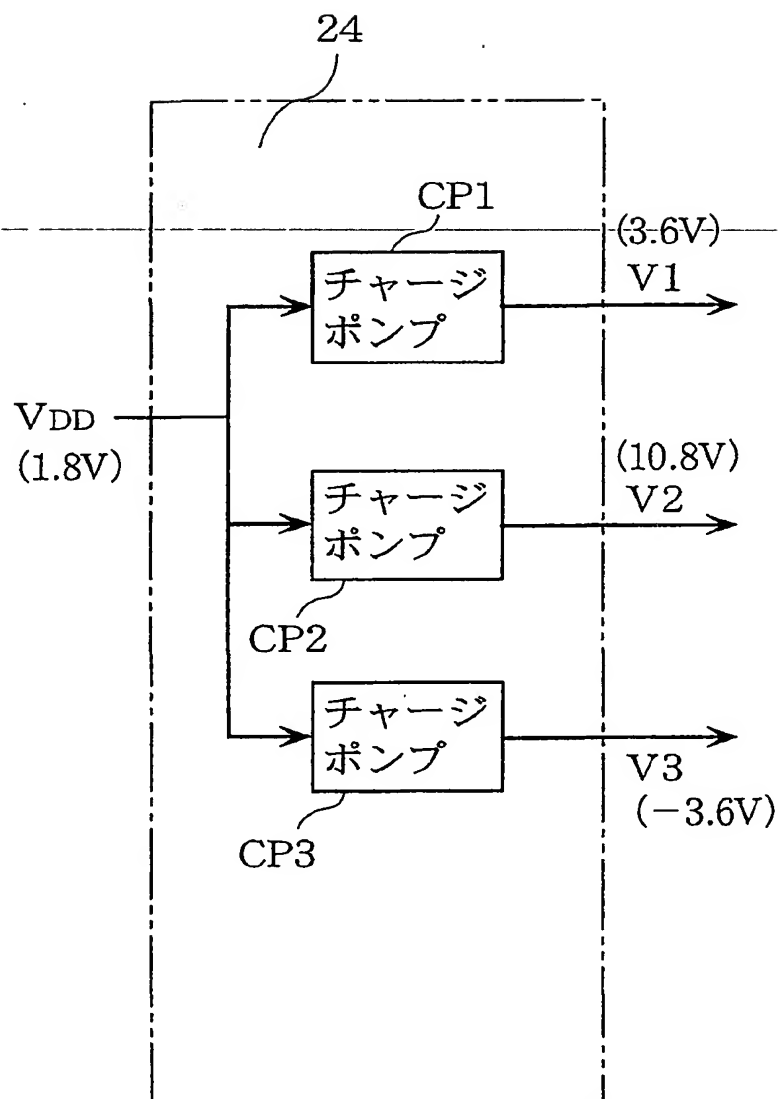


図5

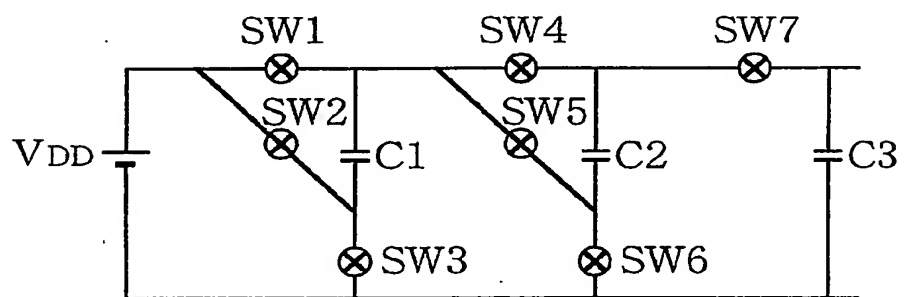


図6

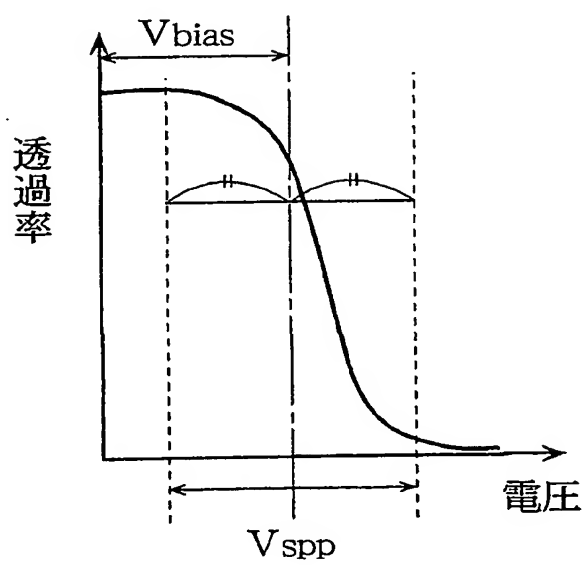


図7

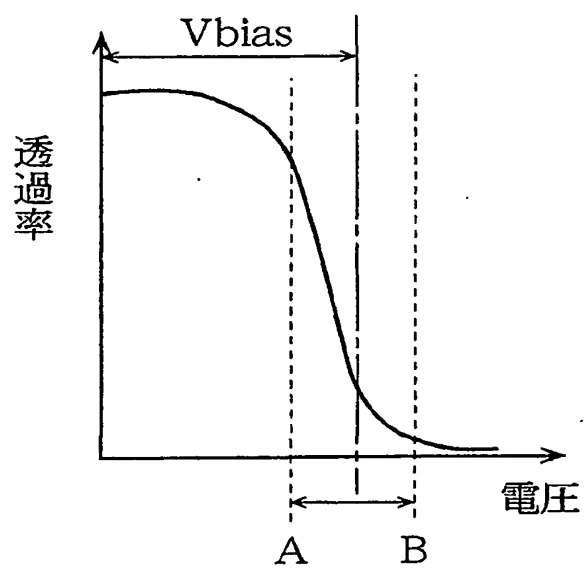


図8

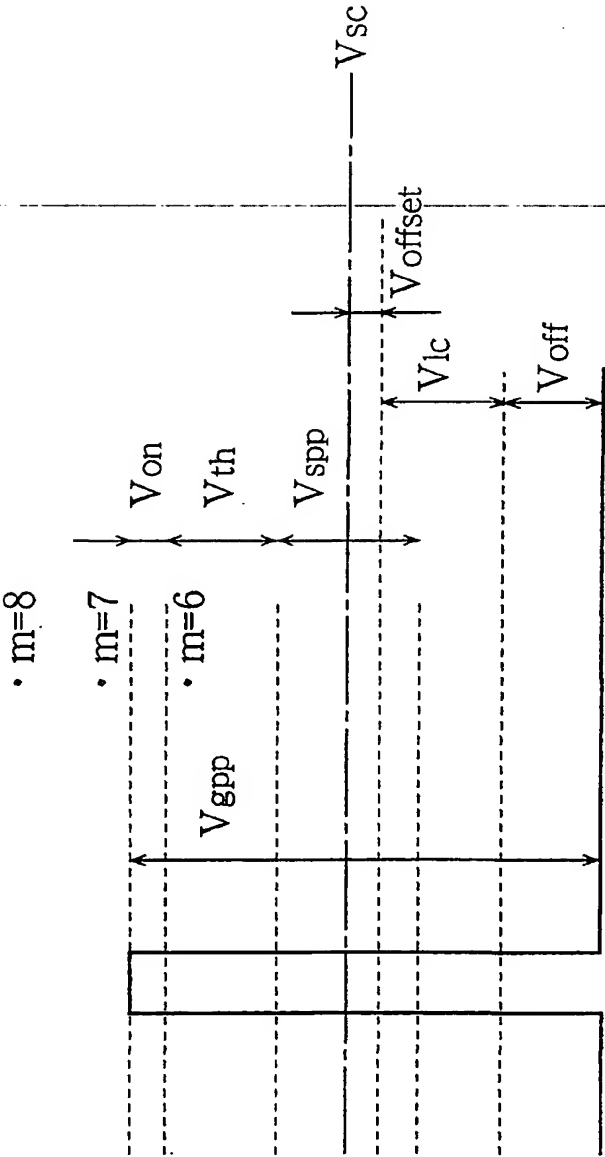




図9

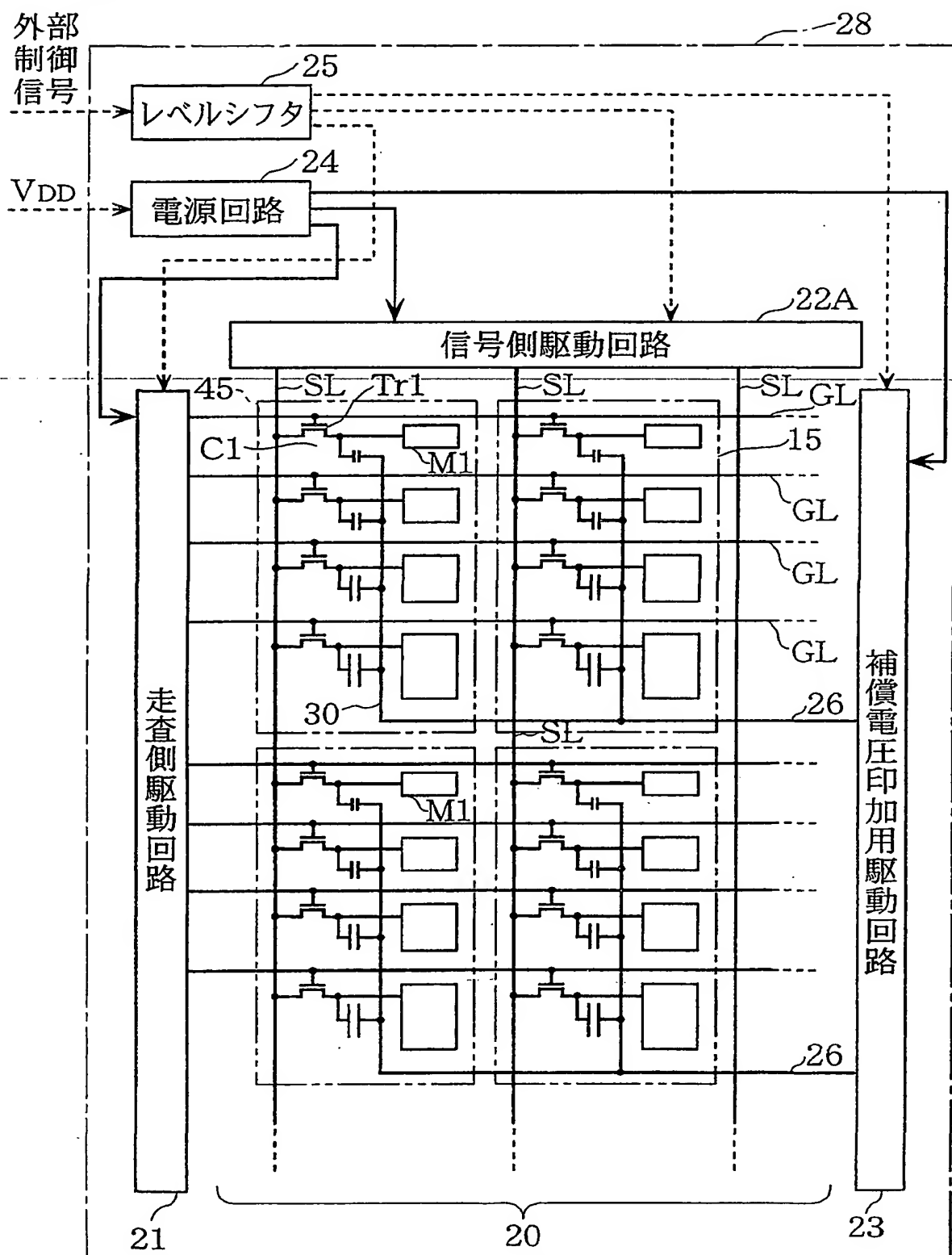


図10

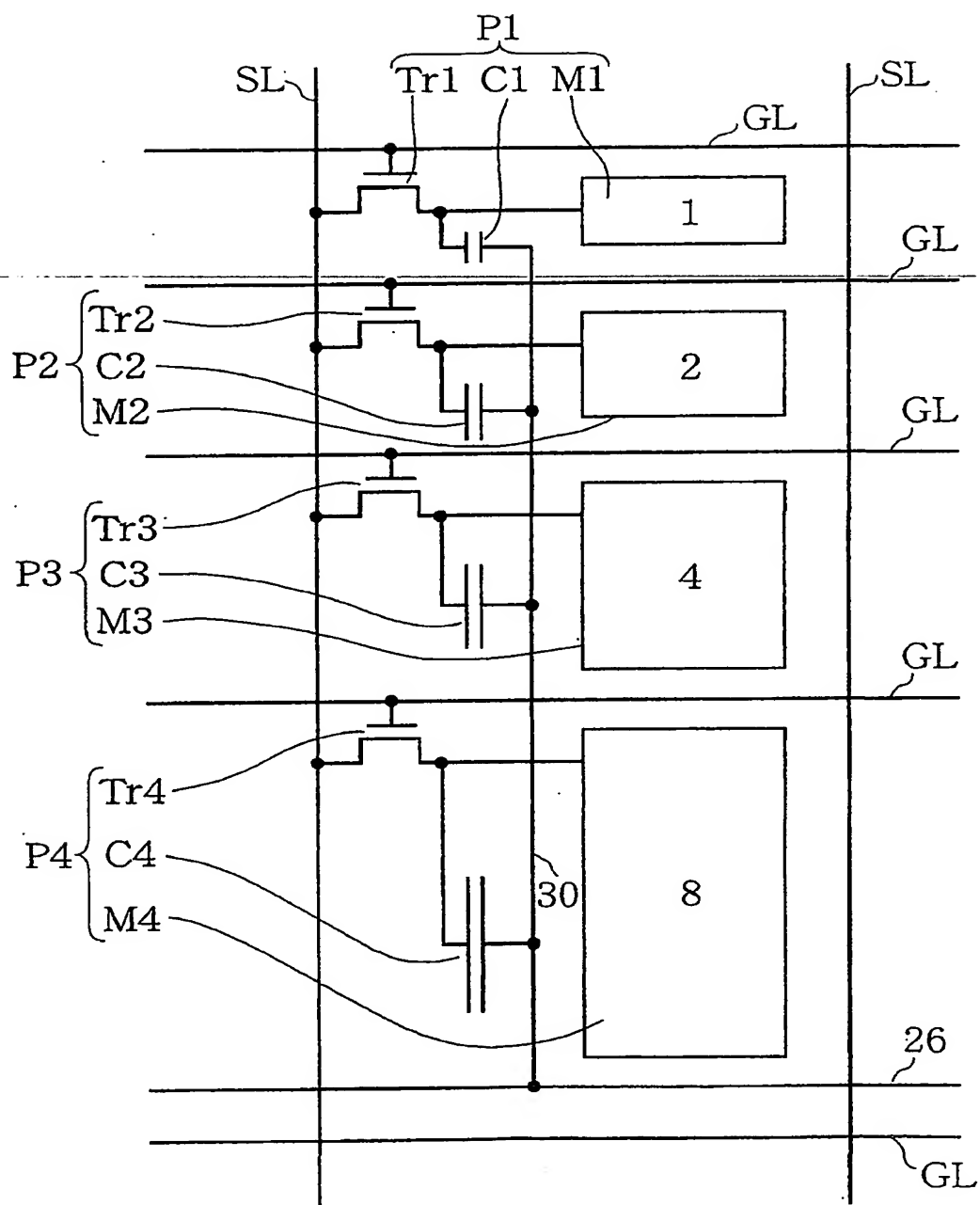


図11

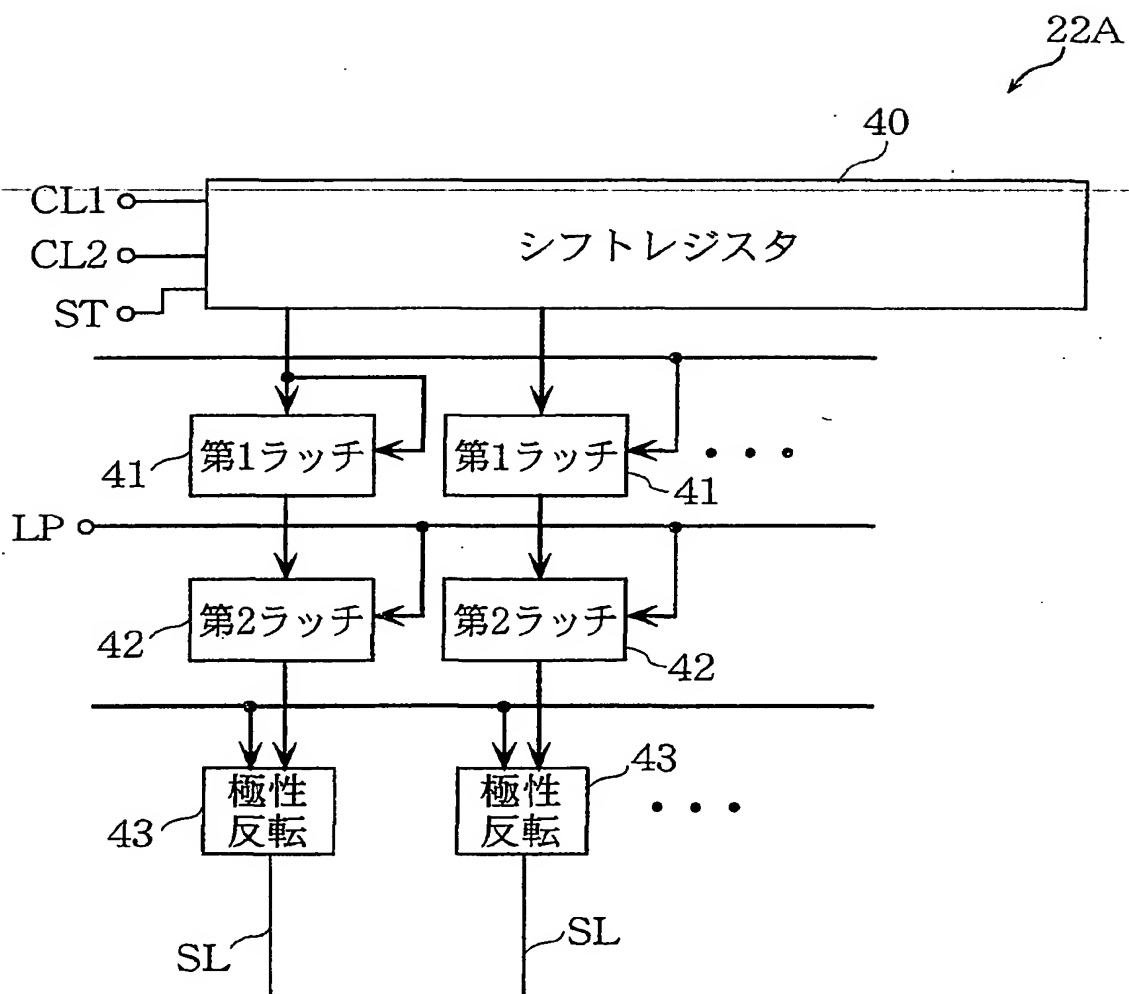


図12

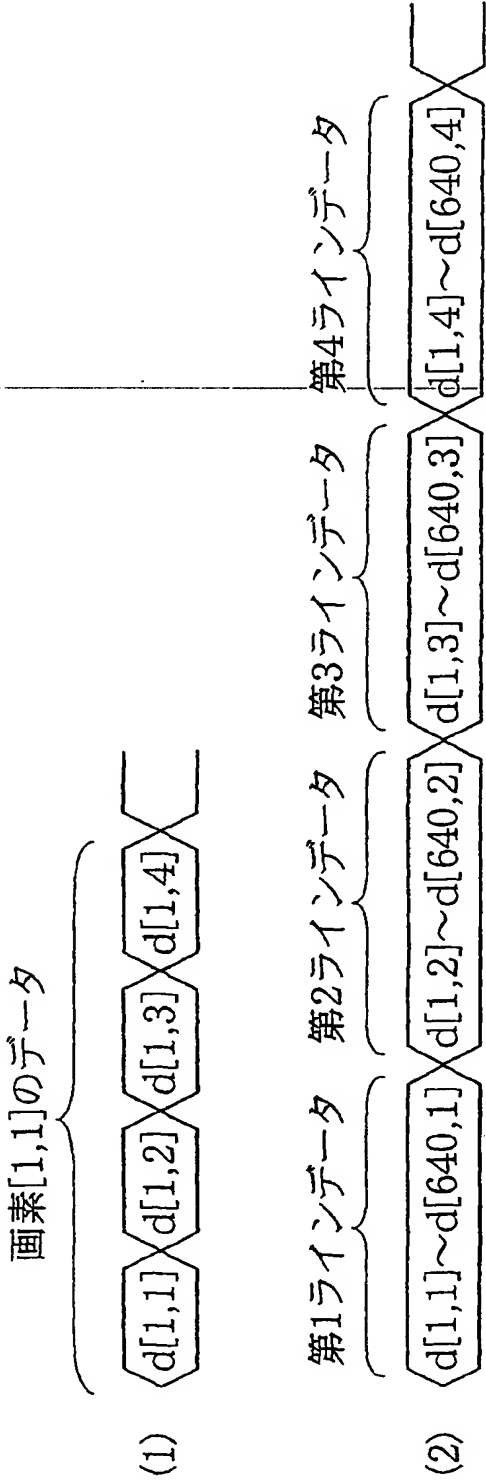


図13

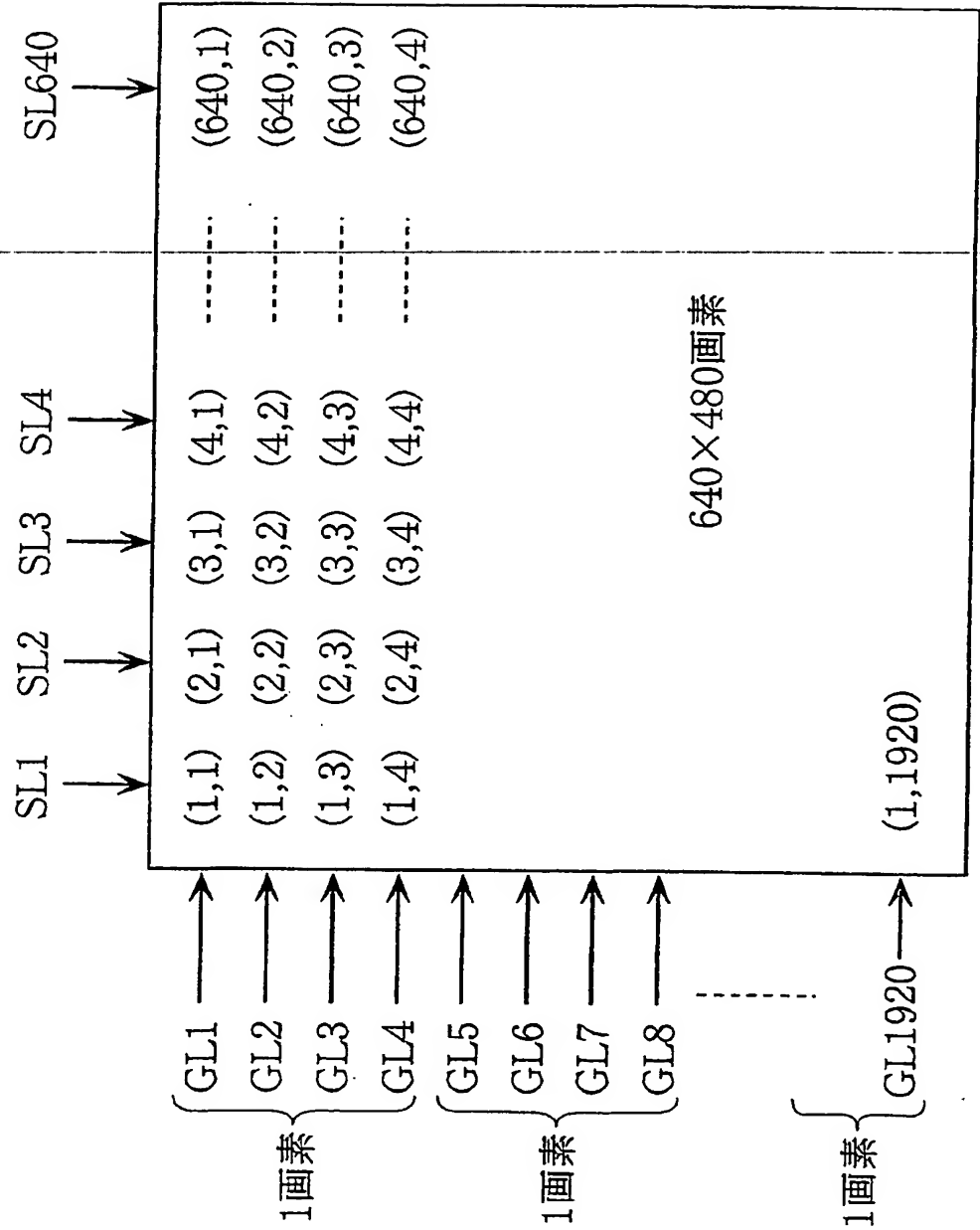


図14

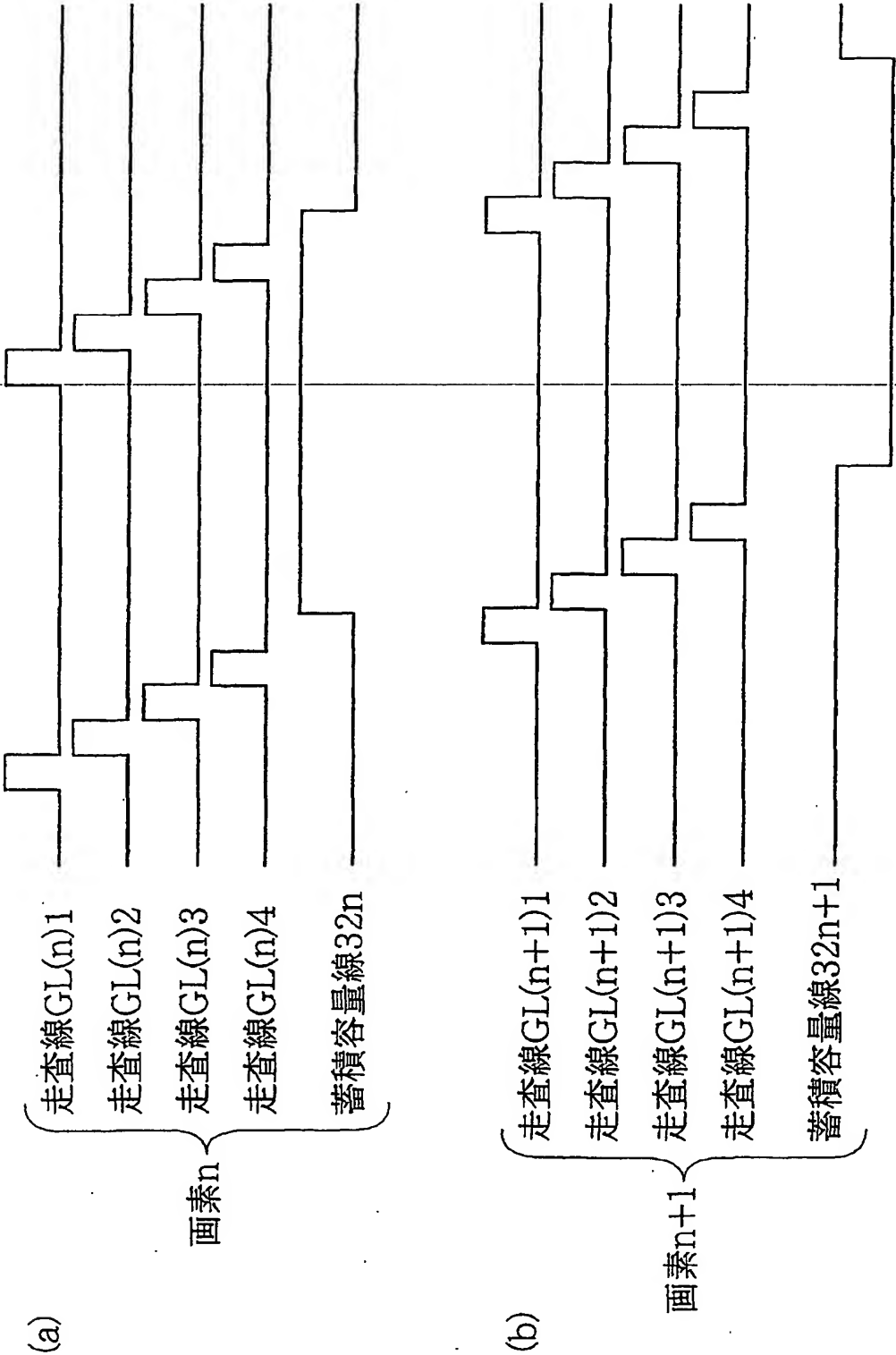








図17

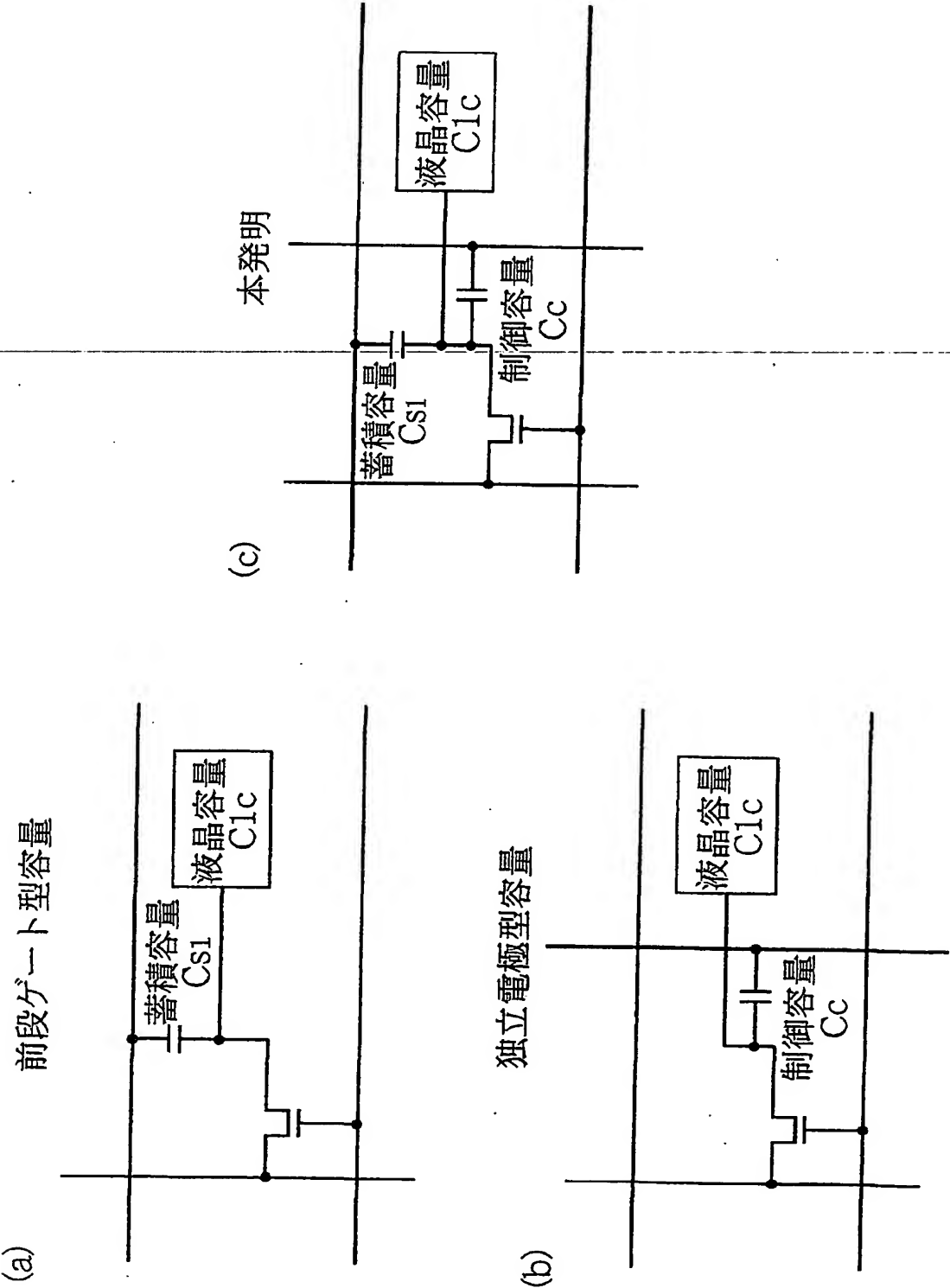


図18

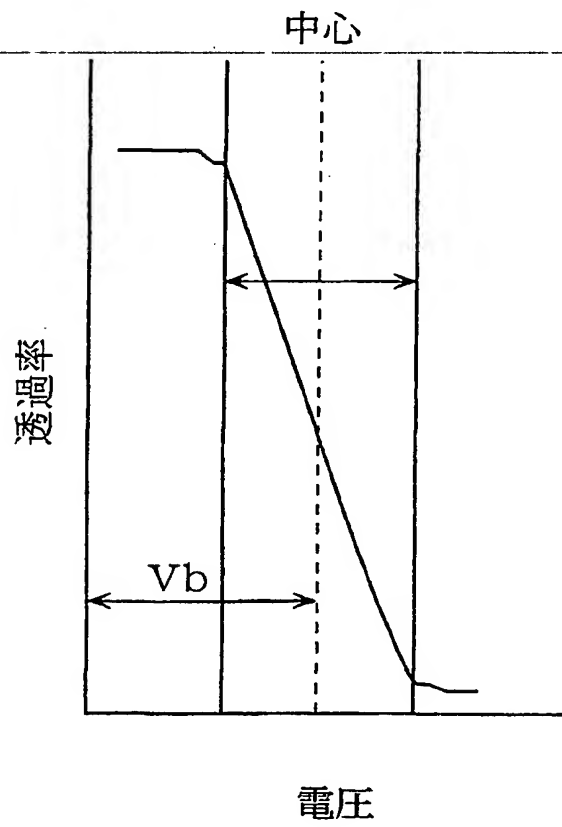


図19

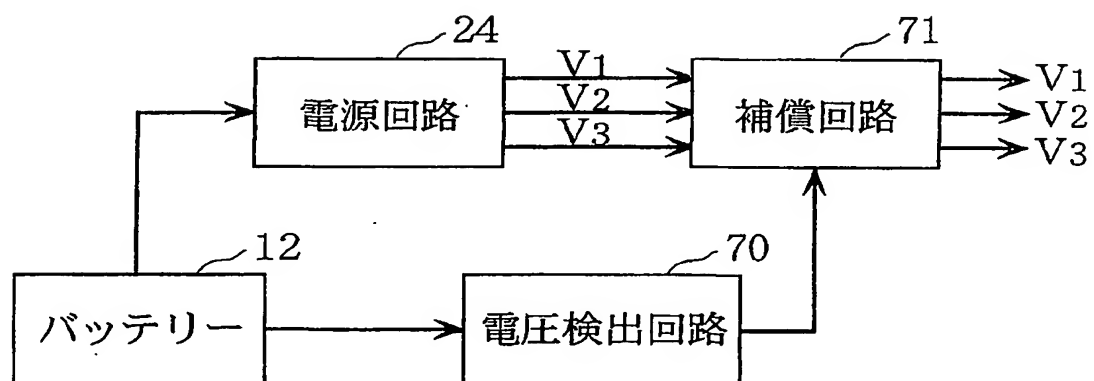


図20

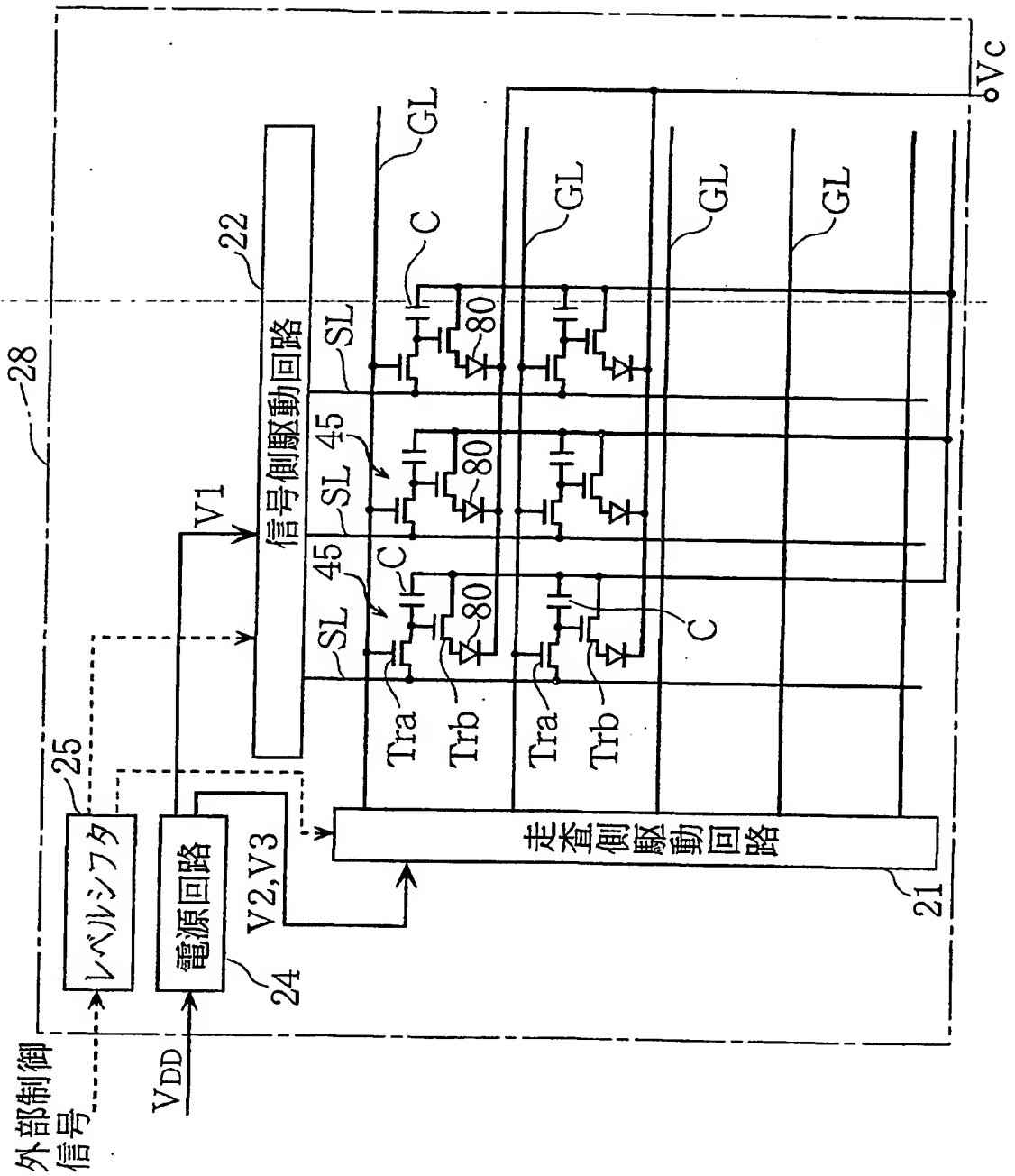
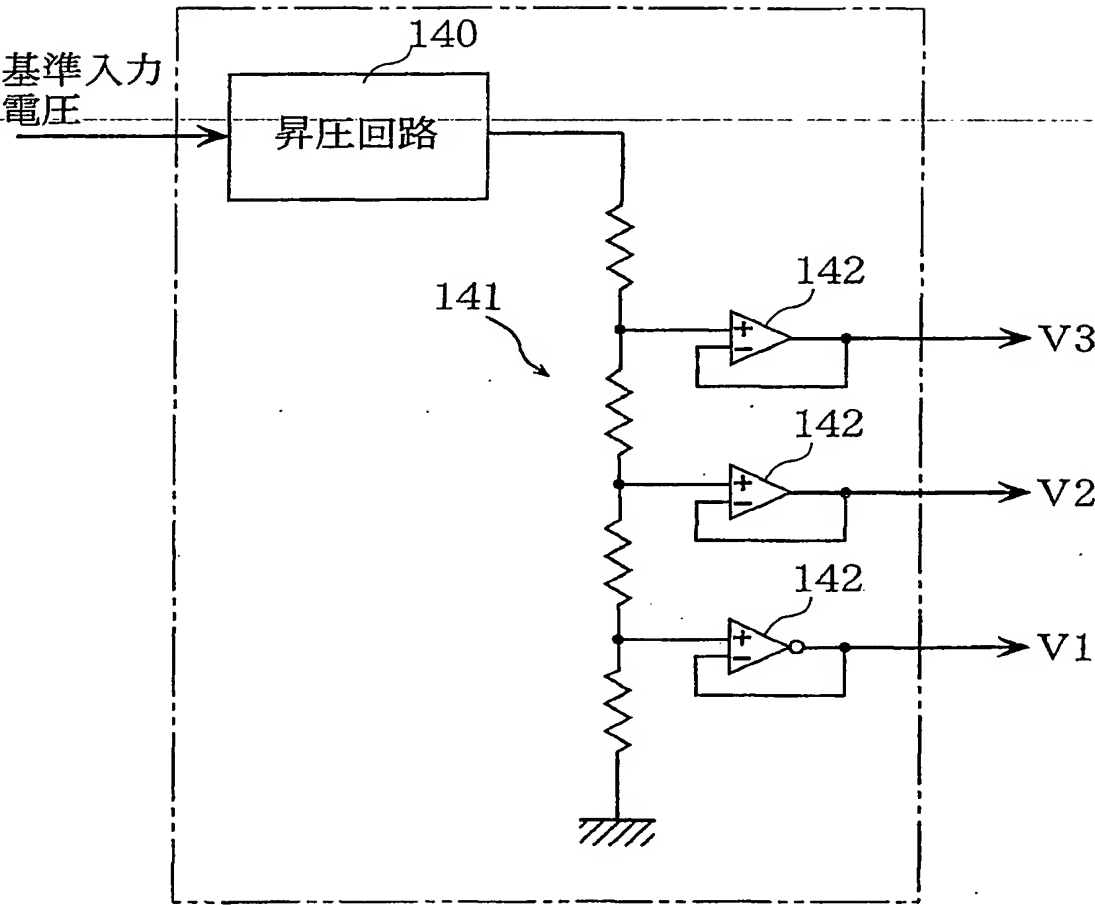


図21



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09489

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G09F9/00-9/30, G02F1/133, 1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G09F9/00-9/30, G02F1/133, 1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-268837 A (Seiko Epson Corporation), 09 October, 1998 (09.10.1998), Full text (Family: none)	1-21
A	JP 2000-284722 A (Semiconductor Energy Lab. Co., Ltd.), 13 October, 2000 (13.10.2000), Full text (Family: none)	1-21
A	JP 10-197900 A (Semiconductor Energy Lab. Co., Ltd.), 31 July, 1998 (31.07.1998), Full text (Family: none)	1-21

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
07 February, 2002 (07.02.02)Date of mailing of the international search report  
19 February, 2002 (19.02.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09F9/00-9/30, G02F1/133, 1/368

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09F9/00-9/30, G02F1/133, 1/368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2002年  
 日本国登録実用新案公報 1994-2002年  
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-268837 A (セイコーエプソン株式会社), 1998. 10. 09, 全文 (ファミリーなし)	1-21
A	JP 2000-284722 A (株式会社半導体エネルギー 研究所), 2000. 10. 13, 全文 (ファミリーなし)	1-21
A	JP 10-197900 A (株式会社半導体エネルギー研究 所), 1998. 07. 31, 全文 (ファミリーなし)	1-21

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

07. 02. 02

国際調査報告の発送日

19.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柿崎 拓



3X 9235

電話番号 03-3581-1101 内線 3371